

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-066113

(43)Date of publication of application : 05.03.2003

(51)Int.Cl.

G01R 31/28
G02F 1/13
G02F 1/1345
G02F 1/1368

(21)Application number : 2002-122815

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 24.04.2002

(72)Inventor : EGUCHI TSUKASA
FUJIKAWA SHINSUKE
OZAWA NORIO

(30)Priority

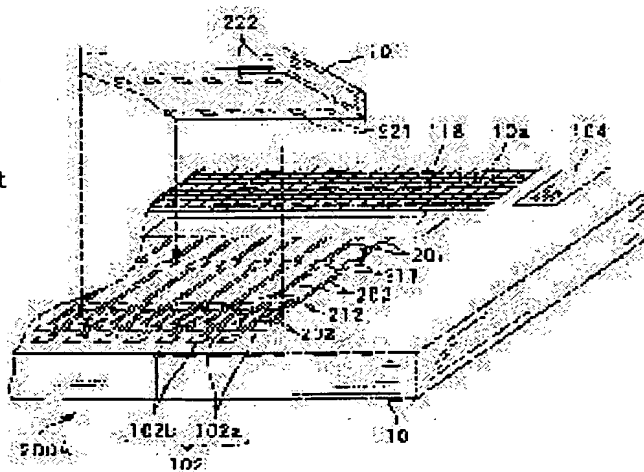
Priority number : 2001179042 Priority date : 13.06.2001 Priority country : JP
2001179101 13.06.2001 JP

(54) SUBSTRATE APPARATUS AND INSPECTION METHOD THEREFOR, ELECTROOPTICAL APPARATUS AND MANUFACTURING METHOD THEREFOR, AND ELECTRONIC EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To electrically inspect an externally mounted IC without peeling it off in a substrate apparatus that is used, for example, as a TFT array substrate of a liquid crystal apparatus and the like.

SOLUTION: The substrate apparatus is provided with a substrate, a peripheral circuit that is created on the substrate, and an externally mounted IC that has a first terminal that is externally mounted to the substrate while the first terminal is connected to a connection section that is provided on the first wiring. Further, the substrate apparatus comprises second wiring that is lead from the connection section for passing a section that opposes an externally mounted integrated circuit in regions on the substrate, and a first external circuit connection terminal that is provided on the second wiring at a section that does not oppose the externally mounted integrated circuit in regions on the substrate. The externally mounted IC can be inspected via the external circuit connection terminal.



LEGAL STATUS

[Date of request for examination]

23.02.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A substrate, the circumference circuit made on this substrate, and the 1st wiring wired on said substrate, The integrated circuit which has the 1st terminal connected to the part for connection prepared on said 1st wiring on said substrate, The 2nd wiring pulled out from said part for connection so that the part which counters said integrated circuit among the fields on said substrate might be passed, Substrate equipment characterized by having the 1st external circuit connection terminal prepared on said 2nd wiring in the part which does not counter said integrated circuit among the fields on said substrate.

[Claim 2] Said part for connection is substrate equipment according to claim 1 characterized by consisting of a pad for connection arranged on said substrate.

[Claim 3] The 3rd wiring which passes the part which counters said integrated circuit among the fields on said substrate, It has further the 2nd external circuit connection terminal prepared on said 3rd wiring in the part which does not counter said integrated circuit among the fields on said substrate. Said integrated circuit Substrate equipment according to claim 1 or 2 characterized by connecting this 2nd terminal to other parts for connection prepared on said 3rd wiring while having the 2nd terminal further.

[Claim 4] It is substrate equipment according to claim 3 characterized by being a terminal for actuation said 1st terminal being an output terminal of said integrated circuit, for said 2nd terminal being an input terminal of said integrated circuit, for said 1st external circuit connection terminal being a checking terminal for taking out the output signal of said integrated circuit, and for said 2nd external circuit connection terminal inputting the various signals which operate the substrate equipment concerned.

[Claim 5] Said 1st terminal and said 2nd terminal are substrate equipment according to claim 3 or 4 characterized by being located on the field which counters said substrate of said integrated circuit.

[Claim 6] Said 1st terminal and said 2nd terminal are substrate equipment according to claim 5 characterized by being located in the shape of a reel on the field which counters said substrate of said integrated circuit while more than one are prepared, respectively.

[Claim 7] Said circumference circuit is substrate equipment given in any 1 term of claims 1-6 characterized by coming to contain a thin film transistor.

[Claim 8] Substrate equipment given in any 1 term of claims 1-7 characterized by replacing with said circumference circuit and preparing other integrated circuits on said substrate.

[Claim 9] The inspection approach of the substrate equipment which is the inspection approach of substrate equipment of inspecting the substrate equipment of a publication in any 1 term of claims 1-8, and is characterized by to include the process at which a checking probe is contacted, and the inspection process which conducts electric inspection to said integrated circuit through this checking probe in said 1st external circuit connection terminal after connecting said integrated circuit to said substrate.

[Claim 10] The inspection approach of the substrate equipment according to claim 9 characterized by including further other inspection processes which conduct electric inspection to said circumference circuit before connecting said integrated circuit to said substrate.

[Claim 11] It is the electro-optic device which is equipped with a pixel electrode, the thin film transistor

connected to this pixel electrode, and the data line and the scanning line which were connected to this thin film transistor on substrate equipment given in any 1 term of claims 1-8, and is characterized by said circumference circuit and said integrated circuit including partially the circuit for driving said data line and said scanning line, respectively.

[Claim 12] Said circumference circuit and said integrated circuit are an electro-optic device according to claim 11 characterized by being arranged in the boundary region located around the image display field where two or more arrays of said pixel electrode were carried out.

[Claim 13] Said integrated circuit is an electro-optic device according to claim 11 or 12 characterized by including the drive circuit which has a shift register while driving said data line and said scanning line including the sampling circuit where said circumference circuit was connected to said data line.

[Claim 14] The electro-optic device characterized by having at least one side, the integrated circuit arranged on said substrate while constituting a part of drive circuit [at least] connected to one side, even if this ** cannot be found, and the predetermined pattern arranged at this integrated-circuit bottom wiring for driving a pixel electrode and this pixel electrode on a substrate, and among electronic devices.

[Claim 15] Said predetermined pattern is an electro-optic device according to claim 14 characterized by being formed in the field except the pad for connection to which the input/output terminal of said external integrated circuit is joined among the fields on said substrate while at least one of the patterns for evaluation of a manufacture process, inspection, and a monitor is included.

[Claim 16] The electro-optic device characterized by having at least one side, the integrated circuit installed on said substrate while constituting a part of drive circuit [at least] connected to one side, even if this ** cannot be found, and the bottom circuit which is arranged at this integrated-circuit bottom and made together with at least said one side wiring for driving a pixel electrode and this pixel electrode on a substrate, and among electronic devices.

[Claim 17] Said integrated circuit is an electro-optic device according to claim 16 characterized by constituting said a part of drive circuit, and said bottom circuit constituting other parts of said drive circuit.

[Claim 18] Said bottom circuit is an electro-optic device according to claim 17 characterized by including the sampling circuit which samples the scanning-line drive circuit and picture signal which drive said scanning line, and is supplied to said data line including the data-line drive circuit where, as for said integrated circuit, said wiring drives said data line including the data line and the scanning line.

[Claim 19] Said bottom circuit is an electro-optic device according to claim 16 characterized by including an inspection circuit.

[Claim 20] Said bottom circuit is an electro-optic device given in any 1 term of claims 16-19 characterized by including the thin film transistor manufactured according to the same manufacture process as said thin film transistor including the thin film transistor by which said electronic device was connected to said pixel electrode.

[Claim 21] An electro-optic device given in any 1 term of claims 16-20 characterized by forming the insulator layer between said integrated circuits and said bottom circuits.

[Claim 22] Said integrated circuit is an electro-optic device given in any 1 term of claims 14-21 characterized by being installed in the boundary region located around the image display field where said pixel electrode has been arranged.

[Claim 23] The maximum upper layer on said substrate with which said integrated circuit is installed is an electro-optic device given in any 1 term of claims 14-22 characterized by carrying out flattening.

[Claim 24] The 1st formation process which is the manufacture approach of an electro-optic device of manufacturing an electro-optic device according to claim 14 or 15, and forms said predetermined pattern in the predetermined field on said substrate, The manufacture approach of the electro-optic device characterized by having the inspection process which performs at least one of inspection, evaluation, and monitors based on said predetermined pattern, said 2nd formation process which

reaches on the other hand at least, and forms said pixel electrode, and the process which installs said integrated circuit in said predetermined field.

[Claim 25] The manufacture approach of the electro-optic device characterized by having the formation process which is the manufacture approach of an electro-optic device of manufacturing the electro-optic device of a publication in any 1 term of claims 16-21, forms said bottom circuit in the predetermined field on said substrate, forms at least said one side, and forms said pixel electrode, and the process which installs said integrated circuit in said predetermined field.

[Claim 26] Said predetermined pattern is an electro-optic device according to claim 14 or 15 characterized by including at least one of an alignment mark and identification marking.

[Claim 27] An electro-optic device given in any 1 term of claims 16-23 characterized by having further drawer wiring which the circuit element was contained in said bottom circuit, and was pulled out from this circuit element, and the external circuit connection terminal for bottom circuits connected to said drawer wiring in the part which does not counter said integrated circuit among the fields on said substrate.

[Claim 28] A substrate, the circumference circuit made on this substrate, and the 1st wiring wired on said substrate, The integrated circuit which has the 1st terminal connected to the part for connection prepared on said 1st wiring on said substrate, The 2nd wiring pulled out from said part for connection so that the part which counters said integrated circuit among the fields on said substrate might be passed, While having the 1st external circuit connection terminal prepared on said 2nd wiring in the part which does not counter said integrated circuit among the fields on said substrate On said substrate, it has at least one side wiring for driving a pixel electrode and this pixel electrode, and among electronic devices. Said integrated circuit The electro-optic device which is installed on said substrate while constituting a part of drive circuit [at least] connected at least to said one side, and is characterized by arranging the predetermined pattern or the bottom circuit at said integrated-circuit bottom.

[Claim 29] Electronic equipment characterized by providing the electro-optic device of a publication in claims 11-13 or claims 14-23, and any 1 term of 26-28.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention belongs to the technical field of the substrate equipment suitably used as a TFT array substrate in electro-optic devices, such as for example, liquid crystal equipment, etc., and its electric inspection approach, and belongs to electro-optic devices, such as liquid crystal equipment which comes to have still such substrate equipment, and the manufacture approach of those, and a list at the technical field of various electronic equipment which comes to provide this electro-

optic device.

[0002]

[Background of the Invention] The thin film transistor which used an elevated temperature or low-temperature polish recon, an amorphous silicon, etc. as a semi-conductor layer on insulating substrates, such as a glass substrate and a quartz substrate, is made from electro-optic devices, such as liquid crystal equipment of a thin film transistor (TFT is called suitably below) drive mold, by each pixel for the switching control of a pixel electrode.

[0003] In TFT of a polish recon mold, it excels in general at transistor characteristics or power consumption. For this reason, if the circumference circuit which becomes the boundary region located around the image display field where many pixel electrodes were arranged from TFT of such a polish recon mold is made, transistor characteristics and a low power sufficient as a circumference circuit will be obtained. Therefore, since the coincidence formation of the TFT which constitutes TFT and the circumference circuit for pixel switching in an image display field by the same production process can be carried out, it is advantageous.

[0004] On the other hand, in TFT of an amorphous silicon mold, it is inferior in general at transistor characteristics or power consumption. For this reason, transistor characteristics or a low power sufficient as a circumference circuit in making a circumference circuit from TFT of an amorphous silicon mold are not obtained in many cases. For this reason, when adopting TFT of an amorphous silicon mold as TFT for pixel switching, the technique which carries out external [of the external integrated circuit (IC is called suitably below)] is common to a boundary region.

[0005]

[Problem(s) to be Solved by the Invention] According to research of an invention-in-this-application person, with the technique which makes a circumference circuit from TFT of the polish recon mold mentioned above, it is becoming difficult to make the circumference circuit which can cope with the rise and low-power-izing of drive frequency under the general request of high-definition-izing of a display image etc. For this reason, external [of the external IC] is carried out to a boundary region, and it is considered desirable to make this external IC bear the function of a part of circumference circuit. For example, the technique currently indicated by JP,04-242724,A is known.

[0006] however, when it carried out external [of the external integrated circuit] further and failure and abnormalities arise to the substrate equipment concerned after manufacture and shipment as mentioned above on the substrate which made the circumference circuit, a circumference circuit is unusual or it is out of order -- or it becomes very difficult to specify whether it is external IC. Therefore, it is necessary to remove external IC from a substrate and to conduct electric inspection by the external IC independent concerned, and there is a trouble of not being practical, in the case of such failure or abnormalities.

[0007] For this reason, the actual condition is that the technique which carries out external [of the external IC] further on the substrate with which the circumference circuit was made is not progressing in fact.

[0008] Moreover, as another technical problem about external IC, when it carries out external [of the external IC] to a boundary region, a large boundary region is relatively needed by inspection of a manufacture process, the evaluation, the object for a monitor, or the various patterns and external IC for component evaluation mentioned above. That is, most part will be occupied by these various patterns and external ICs among the limited substrate top fields, and it may be said that it becomes difficult to respond to a general request called the miniaturization of a substrate or enlargement of the image display field in the limited substrate top field as a result.

[0009] On the other hand, most part will be occupied by the circumference circuit and external IC among the substrate top fields similarly restricted on the substrate which made the circumference circuit when it carried out external [of the external IC] further, and it becomes difficult to respond to a general request called the miniaturization of a substrate or enlargement of the image display field in the

limited substrate top field as a result.

[0010] For this reason, the actual condition is that the technique which carries out external [of the external IC] further on the substrate with which inspection of a manufacture process, evaluation, the object for a monitor, or the various patterns and circumference circuit for component evaluation were made is not progressing in fact.

[0011] While being able to perform the electric inspection, let it be a technical problem to offer the electronic equipment which comes to provide the substrate equipment which can enjoy both the profits by the circumference circuit, and the profits by external IC, the electro-optic device which come comparatively easily to have an electric inspection of this substrate equipment the inspection approach of the substrate equipment which can be performed, and such substrate equipment, and this electro-optic device, without this invention being made in view of the above-mentioned technical problem, and removing an external IC.

[0012] Moreover, let it be a technical problem to offer the electro-optic device which can secure the size of the image display field in the limited substrate top field and its manufacture approach, and the electronic equipment which comes to provide such an electro-optic device in a list, this invention being made in view of the technical problem according to above, and carrying out external [of the external IC].

[0013]

[Means for Solving the Problem] The circumference circuit made on the substrate and this substrate in order that the substrate equipment of this invention might solve the above-mentioned technical problem, The integrated circuit which has the 1st terminal connected to the part for connection prepared on the 1st wiring wired on said substrate, and said 1st wiring on said substrate, It is characterized by having the 1st external circuit connection terminal prepared on said 2nd wiring in the 2nd wiring pulled out from said part for connection so that the part which counters said integrated circuit among the fields on said substrate might be passed, and the part which does not counter said integrated circuit among the fields on said substrate.

[0014] According to the substrate equipment of this invention, on the substrate, a circumference circuit is made and the integrated circuit is installed further. Therefore, about a circumference circuit, when forming on a substrate the thin film transistor which used an elevated temperature or low-temperature polish recon, an amorphous silicon, etc. as a semi-conductor layer, a circumference circuit can be made according to the same process as this. On the other hand, the integrated circuit which comes to contain the transistor which excelled such a transistor in the switching characteristic or the power consumption property can be installed on a substrate. Therefore, while making a circumference circuit bear a part of function required as a circuit on a substrate, the integrated circuit installed on the same substrate can be made to bear other parts of a function required as a circuit on a substrate. This becomes enjoyable in suitable balance with both the simplification of the main profits slack manufactures in a circumference circuit, and a laminated structure and the formation of a small thin shape, and high-performance-izing and low-power-izing that are the main profits in an integrated circuit. Especially the 1st terminal of an integrated circuit is connected to the part for connection prepared on the 1st wiring here, and it is pulled out so that the part to which the 2nd wiring counters an integrated circuit among the fields on a substrate from this part for connection may be passed. Furthermore, in the part which does not counter an integrated circuit among the fields on a substrate, the 1st external circuit connection terminal is prepared on the 2nd wiring pulled out in this way. Therefore, since the 1st external circuit connection terminal connected to the 1st terminal of an integrated circuit through the 2nd wiring is prepared in the part from which it separated from the integrated circuit on a substrate, the I/O of the signal of arbitration of it is attained between an integrated circuit and external examination equipment through this 1st external circuit connection terminal. For example, if the 1st terminal is arranged so that it may become the output terminal of an integrated circuit, in the 1st external circuit connection terminal, the output characteristics of an integrated circuit can be inspected with external examination equipment.

[0015] Since it is possible to take out the signal which does not need to remove an integrated circuit from a substrate and is outputted from an integrated circuit when equipment failure or abnormalities occur after installing especially an integrated circuit even if a circumference circuit and an integrated circuit exist on the same substrate the above result, it becomes possible to inspect which circuit is out of order. That is, it is not necessary to remove an integrated circuit and to inspect by applying a checking probe to the output terminal etc., and is very convenient practically.

[0016] Thus, according to the substrate equipment of this invention, while being able to perform the electric inspection, without removing an integrated circuit, it becomes enjoyable [both the profits by the circumference circuit, and the profits by the integrated circuit].

[0017] In one mode of the substrate equipment of this invention, said part for connection is characterized by consisting of a pad for connection arranged on said substrate.

[0018] According to this mode, good electrical installation can be taken among both comparatively easily by joining the 1st terminal of an integrated circuit to the part for connection which consists of a pad for connection.

[0019] The 3rd wiring which passes the part which counters said integrated circuit among the fields on said substrate in other modes of the substrate equipment of this invention, It has further the 2nd external circuit connection terminal prepared on said 3rd wiring in the part which does not counter said integrated circuit among the fields on said substrate. Said integrated circuit While having the 2nd terminal further, it is characterized by connecting this 2nd terminal to other parts for connection prepared on said 3rd wiring.

[0020] According to this mode, it connects with parts for connection, such as a pad for connection prepared on the 3rd wiring, and the 2nd terminal of an integrated circuit is connected to the 2nd external circuit connection terminal through the 3rd wiring. Therefore, since it is prepared in the part from which it separated from the integrated circuit on a substrate, after the 2nd external circuit connection terminal connected to the 2nd terminal of an integrated circuit installs an integrated circuit on a substrate, the I/O of the signal of arbitration of it is attained between an integrated circuit and the exterior through this 2nd external circuit connection terminal. For example, if the 2nd terminal is arranged so that it may become an input terminal, in the 2nd external circuit connection terminal, various signals, such as a picture signal, a control signal, and a power-source signal, can be inputted into an integrated circuit.

[0021] Said 1st terminal is an output terminal of said integrated circuit, said 2nd terminal is an input terminal of said integrated circuit, said 1st external circuit connection terminal is a checking terminal for taking out the output signal of said integrated circuit, and said 2nd external circuit connection terminal may consist of this mode so that it may be a terminal for actuation for inputting the various signals which operate the substrate equipment concerned.

[0022] Thus, if constituted, while being able to input various signals into an integrated circuit from the exterior in the 2nd external circuit connection terminal, in the 1st external circuit connection terminal, the output of an integrated circuit can be inspected from the outside.

[0023] Said 1st terminal and said 2nd terminal may consist of modes in which the above-mentioned integrated circuit has the 1st terminal and the 2nd terminal so that it may be located on the field which counters said substrate of said integrated circuit.

[0024] Thus, if constituted, after mounting of an integrated circuit, inspection of the output terminal arranged on the field which counters the substrate of an integrated circuit, or an input terminal will be attained from the exterior in the output of an integrated circuit in the 1st external circuit connection terminal of what is hidden with the package body of an integrated circuit.

[0025] in addition -- as the mounting approach of an integrated circuit applicable to this invention -- COG (Chip on Glass) -- there are the wirebonding method, a flip chip method, the beam-lead method, etc. other than law, and the integrated circuit of various packaging gestalten, such as a DIP form which can be mounted by the approach concerned, a flat pack form, and a chip carrier form, can be applied to

this invention. Since in any case an integrated circuit can be inspected through the 1st external circuit connection terminal also after installing an integrated circuit, it is convenient. However, in the case of an above-mentioned integrated circuit, since the 1st terminal or the 2nd terminal hides, especially this invention is effective.

[0026] In this case, further, said 1st terminal and said 2nd terminal may be constituted, respectively so that it may be located in the shape of a reel on the field which counters said substrate of said integrated circuit, while more than one are prepared.

[0027] Thus, if the 2nd wiring is installed towards the 2nd terminal side right-angled in the array direction of the 1st terminal if constituted on a substrate side, it will become possible to make the tip of the 2nd wiring result in a 2nd terminal and opposite side through the gap of the 2nd terminal which adjoins each other. Therefore, the configuration which results in the 1st and 2nd external circuit connection terminals, respectively is obtained, the 2nd wiring and the 3rd wiring being located in a line by turns.

[0028] In addition, if the 1st and 2nd external circuit connection terminals may be constituted so that it may be located in the shape of a reel, and it constitutes in this way in this case, even if it enlarges formation area of the 1st and 2nd external circuit connection terminals, the configuration to which both do not lap mutually will be obtained.

[0029] However, what is necessary is just to wire so that it may have the flat-surface pattern which avoids the 1st wiring and the 2nd terminal for the 2nd wiring even if it does not arrange two or more 1st terminal and 2nd terminal in the shape of a reel in this way. Furthermore, you may arrange to a single tier also about the two or more 1st and 2nd external circuit connection terminals.

[0030] In other modes of the substrate equipment of this invention, it is characterized by said circumference circuit coming to contain a polish recon thin film transistor.

[0031] According to this mode, building the circumference circuit which was comparatively excellent in transistor characteristics and a power consumption property, since it comes to contain an elevated temperature or a low-temperature polish recon thin film transistor, a circumference circuit is installing the integrated circuit which was further excellent in transistor characteristics and a power consumption property, and can realize the drive circuit which was very excellent as a whole with a circumference circuit and an integrated circuit.

[0032] In other modes of the substrate equipment of this invention, it is characterized by replacing with said circumference circuit and preparing other integrated circuits on said substrate.

[0033] According to this mode, the degree of freedom on a design increases by making functions, such as a drive circuit required for substrate equipment, share with two integrated circuits.

[0034] In order that the inspection approach of the substrate equipment of this invention may solve the above-mentioned technical problem, it is the inspection approach of substrate equipment of inspecting the substrate equipment (however, the various modes also being included) of this invention mentioned above, and after installing said integrated circuit, it is characterized by to be included the process at which a checking probe is contacted, and the inspection process which conducts electric inspection to said integrated circuit through this checking probe in said 1st external circuit connection terminal.

[0035] According to the inspection approach of the substrate equipment of this invention, after manufacture of the substrate equipment concerned, or shipment, first, a checking probe is contacted for the 1st external circuit connection terminal, then electric inspection to an integrated circuit is conducted through this checking probe. Therefore, electric inspection of an integrated circuit can be performed have [no need of removing an integrated circuit] very easily.

[0036] In one mode of the inspection approach of the substrate equipment of this invention, before installing said integrated circuit, other inspection processes which conduct electric inspection to said circumference circuit are included further.

[0037] According to this mode, in the middle of the production process of the substrate equipment concerned, first, a checking probe is contacted for the 1st external circuit connection terminal

connected also to the circumference circuit before installing an integrated circuit, and other external circuit connection terminals connected to the circumference circuit, and electric inspection to a circumference circuit is conducted through this checking probe. Therefore, before installing an integrated circuit, after becoming possible to conduct electric inspection to a circumference circuit and installing an integrated circuit, it becomes possible using the 1st external circuit connection terminal to conduct electric inspection to an integrated circuit.

[0038] In order that the 1st electro-optic device of this invention may solve the above-mentioned technical problem, it has a pixel electrode, the thin film transistor connected to this pixel electrode, and the data line and the scanning line which were connected to this thin film transistor on the substrate equipment (however, the various modes are also included) of this invention mentioned above, and said circumference circuit and said integrated circuit include partially the circuit for driving said data line and said scanning line, respectively.

[0039] According to the 1st electro-optic device of this invention, the so-called active-matrix drive is attained by carrying out switching control of the pixel electrode by the thin film transistor through the data line and the scanning line. Circuits, such as a data-line drive circuit for driving the data line and the scanning line which are contained in a circumference circuit especially here, and a scanning-line drive circuit, are included partially in the circumference circuit, and are partially included in the integrated circuit. Therefore, about the thin film transistor which constitutes a circumference circuit, creation becomes possible at the same process as the thin film transistor which carries out switching control of the pixel electrode. That is, the simplification and the formation of a small thin shape of the main profits slack manufactures in a circumference circuit and a laminated structure can be attained. On the other hand, high-performance-izing and low-power-izing which are the main profits in an integrated circuit can also be attained. And even if it is after installing an integrated circuit on a substrate since it has substrate equipment of this invention especially mentioned above, in the 1st external circuit connection terminal, an integrated circuit can be inspected from the outside.

[0040] In one mode of the 1st electro-optic device of this invention, said circumference circuit and said integrated circuit are arranged in the boundary region located around the image display field where two or more arrays of said pixel electrode were carried out.

[0041] According to this mode, both circumference circuit and integrated circuit can realize the substrate equipment formed as a circumference circuit.

[0042] In other modes of the 1st electro-optic device of this invention, including the sampling switch circuit where said circumference circuit was connected to said data line, said integrated circuit includes the drive circuit which has a shift register while driving said data line and said scanning line.

[0043] A display of a high-definition image is attained by sampling a picture signal by the sampling circuit included in the circumference circuit, driving the data line and the scanning line by the drive circuit which has the shift register contained in an integrated circuit according to this mode.

[0044] The 2nd electro-optic device of this invention is equipped with the integrated circuit installed on said substrate on a substrate wiring for driving a pixel electrode and this pixel electrode, and among electronic devices while constituting a part of drive circuit [at least] connected to one side at least with one side, even if this ** cannot be found, and the predetermined pattern arranged at this integrated-circuit bottom in order to solve the technical problem according to above.

[0045] According to the 2nd electro-optic device of this invention, a pixel electrode can be driven by the active-matrix drive method or the passive matrix drive method by the drive circuit through electronic devices, such as wiring of the scanning line, the data line, a capacity line, etc., and a thin film transistor, a thin-film diode, storage capacitance. Here, a part of such a drive circuit [at least] consists of integrated circuits installed on a substrate. Therefore, when an electronic device is constituted from a thin film transistor using an amorphous silicon, low temperature, or elevated-temperature polish recon as a semi-conductor layer, it becomes possible to raise various engine performance, such as switching engine performance and low-power engine performance, more in the same manufacture process as this

thin film transistor from the circumference circuit in which a make lump is possible as compared with the case where a drive circuit is constituted. And especially, before installing an integrated circuit, predetermined patterns, such as a pattern for evaluation of a manufacture process in which read is possible, a checking pattern of a manufacture process, a pattern for the monitor of a manufacture process, and a pattern for component evaluation, are arranged optically or visually at the such integrated-circuit bottom. Therefore, it becomes possible [the part with which these predetermined patterns and integrated circuits lap] to narrow the substrate top field which a predetermined pattern and an integrated circuit concerned occupy. Therefore, it becomes possible to extend relatively the image display field where a pixel electrode is arranged in the limited substrate top field.

[0046] In addition, while being used in the manufacture process before installing an integrated circuit, after installing an integrated circuit, such a predetermined pattern may be constituted so that it may not be used. Thus, according to the configuration, a predetermined pattern can be formed over most fields in which an integrated circuit is installed. And since it also becomes possible to pile up completely after all the field which forms a predetermined pattern, and the field in which an integrated circuit is installed since it is not used after installing an integrated circuit, the predetermined pattern formed in this way becomes possible [narrowing very efficiently the substrate top field which these both occupy].

[0047] In other modes of the 2nd electro-optic device of this invention, said predetermined pattern is formed in the field except the connection pad to which the input/output terminal of said integrated circuit is joined among the fields on said substrate while it contains at least one of the patterns for evaluation of a manufacture process, inspection and the object for a monitor, or component evaluation.

[0048] Evaluation of a manufacture process, inspection, a monitor, etc. can be performed using a predetermined pattern until it results in a process just before installing an integrated circuit, since at least one of the patterns for evaluation of a manufacture process, inspection and the object for a monitor, or component evaluation is formed in the field except the pad for connection to which the input/output terminal of an integrated circuit is joined according to this mode.

[0049] In order that the 3rd electro-optic device of this invention may solve the technical problem according to above, on a substrate A pixel electrode, Wiring for driving this pixel electrode, and among electronic devices, at least one side, It has the integrated circuit installed on said substrate while constituting a part of drive circuit [at least] connected to one side, even if this ** cannot be found, and the bottom circuit which is arranged at this integrated-circuit bottom and made together with at least said one side.

[0050] According to the 3rd electro-optic device of this invention, a pixel electrode can be driven by the active-matrix drive method or the passive matrix drive method by the drive circuit through electronic devices, such as wiring of the scanning line, the data line, a capacity line, etc., and a thin film transistor, a thin-film diode, storage capacitance. Here, a part of such a drive circuit [at least] consists of integrated circuits installed on the substrate. Therefore, when an electronic device is constituted from a thin film transistor using an amorphous silicon, low temperature, or elevated-temperature polish recon as a semi-conductor layer, it becomes possible to raise various engine performance, such as switching engine performance and low-power engine performance, more in the same manufacture process as this thin film transistor from the circumference circuit in which a make lump is possible as compared with the case where a drive circuit is constituted. And bottom circuits of for example, a drive circuit, such as a part and an inspection circuit, are arranged especially at the such integrated-circuit bottom. Therefore, it becomes possible [the part with which the bottom circuit and integrated circuit of these lap] to narrow the substrate top field which a bottom circuit and an integrated circuit concerned occupy. Therefore, it becomes possible to extend relatively the image display field where a pixel electrode is arranged in the limited substrate top field.

[0051] If the 3rd electro-optic device of this invention is caused like 1 voice, said integrated circuit constitutes said a part of drive circuit, and said bottom circuit constitutes other parts of said drive circuit.

[0052] According to this mode, a part of drive circuit which consisted of integrated circuits, and other parts of the drive circuit which consisted of bottom circuits become possible [extending an image display field relatively in the limited substrate top field in a substrate top field, since it has piled up].

[0053] In this case, including the data-line drive circuit where, as for said integrated circuit, said wiring drives said data line including the data line and the scanning line, said bottom circuit may be constituted so that the sampling circuit which samples the scanning-line drive circuit and picture signal which drive said scanning line, and is supplied to said data line may be included.

[0054] Thus, an image display field can be extended efficiently, reducing the excess and deficiency about the engine performance as a whole, since it is coped with in a bottom circuit about the scanning-line drive circuit with which it is coped with with the integrated circuit of high performance about the data-line drive circuit with which drive frequency is generally high with the data line if constituted, and the high switching engine performance etc. is demanded, drive frequency is generally low with the scanning line, and the not much high switching engine performance etc. is not demanded, or a sampling circuit.

[0055] Or according to other modes of the 3rd electro-optic device of this invention, said bottom circuit includes an inspection circuit.

[0056] Since the inspection circuit for inspecting the electronic device formed on a substrate, wiring, a bottom circuit, etc. is established in the integrated-circuit bottom according to this mode, before installing an integrated circuit, the inspection circuit concerned is used and these electronic devices, wiring, a bottom circuit, etc. can be inspected. That is, after installing an integrated circuit, it also becomes possible to take the configuration which the duty of the inspection circuit concerned has completed. However, if it prepares in the part which separated from the input/output terminal of the inspection circuit concerned from the integrated circuit on a substrate, even if it is after installing an integrated circuit, it is available in the inspection circuit concerned.

[0057] According to other modes of the 3rd electro-optic device of this invention, said bottom circuit contains the thin film transistor manufactured according to the same manufacture process as said thin film transistor including the thin film transistor by which said electronic device was connected to said pixel electrode.

[0058] Since the thin film transistor connected to the pixel electrode in an image display field and the thin film transistor contained in a bottom circuit are manufactured according to the same manufacture process according to this mode, the manufacture process on a substrate and the simplification of a laminated structure can be attained. In addition, a thin film transistor is manufactured in this case using the semi-conductor layer which consists of an amorphous silicon, low temperature, or elevated-temperature polish recon.

[0059] According to other modes of the 3rd electro-optic device of this invention, the insulator layer is formed between said integrated circuits and said bottom circuits.

[0060] According to this mode, between both can be certainly insulated by the insulator layer by the insulating height in the package of an integrated circuit formed between the integrated circuit and the bottom circuit **.

[0061] According to other modes of the 2nd or 3rd electro-optic device of this invention, said integrated circuit is installed in the boundary region located around the image display field where said pixel electrode has been arranged.

[0062] According to this mode, since the integrated circuit is installed in the boundary region, an image display field can be extended efficiently.

[0063] other voice of the 2nd or 3rd electro-optic device of this invention -- if it depends like -- said integrated circuit -- COG (Chip On Glass) -- it is installed on a substrate by law.

[0064] According to this mode, after installing an integrated circuit (i.e., after carrying out field junction), although the substrate side with that bottom hides completely with a package body, the predetermined pattern or the bottom circuit is already established in that bottom. Therefore, the various profits by the

predetermined pattern and bottom circuit like **** are enjoyable.

[0065] According to other modes of the 2nd or 3rd electro-optic device of this invention, flattening of the maximum upper layer on said substrate with which said integrated circuit is installed is carried out.

[0066] this voice -- if it depends like, although it responds to existence of a predetermined pattern and a bottom circuit at the integrated-circuit bottom and irregularity generally exists in the layer of either of the laminated structures -- that maximum upper layer -- for example, CMP (Chemical Mechanical Polishing: chemical mechanical polishing) processing -- or flattening is carried out by formation of the flattening film using a spin coat. Therefore, an integrated circuit can be easily installed in the predetermined pattern and bottom circuit bottom. Especially, even if it is the integrated circuit of a surface mounting mold like a COG mold integrated circuit and a flat pack mold integrated circuit, installation becomes it is satisfactory and possible on a flat field.

[0067] In order that the manufacture approach of the 2nd electro-optic device of this invention may solve the technical problem according to above The 1st formation process which is the manufacture approach of an electro-optic device of manufacturing the 2nd electro-optic device (however, the various modes being included) of this invention mentioned above, and forms said predetermined pattern in the predetermined field on said substrate, It has the inspection process which performs at least one of inspection, evaluation, and monitors based on said predetermined pattern, said 2nd formation process which reaches on the other hand at least, and forms said pixel electrode, and the process which installs said integrated circuit in said predetermined field.

[0068] According to the manufacture approach of the 2nd electro-optic device of this invention, a predetermined pattern is first formed in the predetermined field on a substrate, after that, based on a predetermined pattern, at least one of inspection, evaluation, and monitors is performed, it gets mixed up with this, and wiring, an electronic device, a pixel electrode, etc. are formed. And an integrated circuit is installed to a predetermined field after these processes. Therefore, since time difference use can be carried out as a field in which the field and integrated circuit which form a predetermined pattern for the same field slack predetermined field by making inspection and evaluation which can be performed, and a monitor complete based on a predetermined pattern are installed before installing an integrated circuit, it becomes very advantageous from a viewpoint which uses the limited substrate top field effectively.

[0069] In order to solve the technical problem according to above, the manufacture approach of the 3rd electro-optic device of this invention is the manufacture approach of an electro-optic device of manufacturing the 3rd electro-optic device (however, the various modes being included) of this invention mentioned above, and is equipped with the formation process which forms said circumference circuit in the predetermined field on said substrate, forms at least said one side, and forms said pixel electrode, and the process which installs said integrated circuit in said predetermined field.

[0070] According to the manufacture approach of the 3rd electro-optic device of this invention, a bottom circuit, wiring, an electronic device, a pixel electrode, etc. are first formed in the predetermined field on a substrate. And an integrated circuit is installed to a predetermined field after these processes. Therefore, since it can use for a duplex as a field in which the field and integrated circuit which form a bottom circuit for the same field slack predetermined field are installed, it becomes very advantageous from a viewpoint which uses the limited substrate top field effectively.

[0071] In other modes of the 2nd electro-optic device of this invention, said predetermined pattern contains at least one of an alignment mark and identification marking.

[0072] According to this mode, said predetermined pattern contains the identification marking which identifies the alignment mark used for the alignment of a substrate etc., the batch number of the substrate concerned, etc. It is usually that the fitter of the external integrated circuit with which such various marks etc. are comparatively carried out in the latter part in the manufacture phase of an electro-optic device has finished achieving the mission before. However, since they might remain in the form which is in sight on a substrate even if these various marks etc. had an electro-optic device in the phase which finally finished manufacture, they were to use the field on the substrate of the part vainly

conventionally.

[0073] So, in this mode, since these various marks will be arranged at the integrated-circuit bottom when said predetermined pattern contains an alignment mark, identification marking, etc., it becomes possible [the part with which the mark and integrated circuit of these various kinds lap] to narrow the substrate top field which various patterns and an integrated circuit concerned occupy. And as mentioned above in this case, there is also already no possibility that substantial only in an alignment mark, identification marking, etc. which became unnecessary being covered with an integrated circuit un-arranging may arise.

[0074] Therefore, according to this mode, it becomes possible to extend relatively the image display field where a pixel electrode is arranged in the limited substrate top field.

[0075] Moreover, in other modes of the 3rd electro-optic device of this invention, the circuit element was contained in said bottom circuit, and it has further drawer wiring pulled out from this circuit element, and the external circuit connection terminal for bottom circuits connected to said drawer wiring in the part which does not counter said integrated circuit among the fields on said substrate.

[0076] According to this mode, circuit elements, such as a thin film transistor and a thin-film diode, are contained in the bottom circuit which includes an inspection circuit etc., for example, and drawer wiring and the external circuit connection terminal for bottom circuits stand in a row from this circuit element. Therefore, in this mode, after attaching an integrated circuit on a substrate, the activity of the circuit element made all over the bottom circuit as a bottom circuit on a substrate can be aimed at. For example, the inspection can be carried out also after installing said integrated circuit to the electro-optic device concerned, when this bottom circuit constitutes TEG (Test Element Group) and an inspection circuit.

[0077] In order that the 4th electro-optic device of this invention may solve the above-mentioned technical problem, a substrate, The circumference circuit made on this substrate, and the 1st wiring wired on said substrate, The integrated circuit which has the 1st terminal by which the 1st terminal on said substrate was connected to the part for connection prepared on said 1st wiring, The 2nd wiring pulled out from said part for connection so that the part which counters said integrated circuit among the fields on said substrate might be passed, While having the 1st external circuit connection terminal prepared on said 2nd wiring in the part which does not counter said integrated circuit among the fields on said substrate On said substrate, it has at least one side wiring for driving a pixel electrode and this pixel electrode, and among electronic devices. Said integrated circuit While constituting a part of drive circuit [at least] connected at least to said one side, it is installed on said substrate, and the predetermined pattern or the bottom circuit is arranged at said integrated-circuit bottom.

[0078] According to the 4th electro-optic device of this invention, the 1st electro-optic device of above-mentioned this invention serves as a mode the requirements for possession **** and the 2nd or 3rd electro-optic device have a mode and the requirements for possession ****. Therefore, the operation effectiveness which was already described during the explanation about the 1st electro-optic device of this invention according to this invention, Namely, at the same time both the profits by the circumference circuit and the profits by the integrated circuit are enjoyable, while being able to perform the electric inspection, without removing an integrated circuit By arranging the predetermined pattern or the bottom circuit at the operation effectiveness [which was already described during the explanation about the 2nd or 3rd electro-optic device of this invention], i.e., integrated circuit, bottom It becomes possible to extend relatively the image display field where it becomes possible [the part with which these predetermined patterns, or a bottom circuit and an integrated circuit lap] to narrow the substrate top field which the predetermined pattern concerned or the bottom circuit concerned occupies, and a pixel electrode is arranged in the limited substrate top field.

[0079] That is, if the 1st and 2nd, or 3rd electro-optic device of this invention has the requirements for possession ****, though it is more small by the ability also attaining vast-ization of an image display field for example, with small thin shape-ization as well as each above-mentioned operation effectiveness

being done so by coincidence, the electro-optic device which fills to coincidence the opposite request of displaying a bigger image can be offered.

[0080] In addition, the "circumference circuit" and the "bottom circuit" which are told to this invention may be caught with the gestalt which has the relation in which the former is contained in the latter or the latter is contained in the former.

[0081] The electronic equipment of this invention possesses the 1st electro-optic device (however, the various modes are included) of this invention mentioned above, the 2nd or 3rd electro-optic device (however, the various modes are included) of this invention, or the 4th electro-optic device, in order to solve the above-mentioned technical problem.

[0082] Since the 1st electro-optic device of this invention mentioned above is provided according to the electronic equipment of this invention, various electronic equipment, such as the video tape recorder of the liquid crystal television and cellular phone which can inspect this integrated circuit, an electronic notebook, a word processor, a viewfinder mold, or a monitor direct viewing type, a workstation, a TV phone, a POS terminal, a touch panel, and a projection mold display, can be realized without high-definition image display being possible and removing an integrated circuit.

[0083] Moreover, since the 2nd or 3rd electro-optic device of this invention mentioned above is provided according to the electronic equipment of this invention, compared with body size, various electronic equipment, such as the video tape recorder of the liquid crystal television and cellular phone which an image display field can be large or can miniaturize, an electronic notebook, a word processor, a viewfinder mold, or a monitor direct viewing type, a workstation, a TV phone, a POS terminal, a touch panel, and a projection mold display, is realizable.

[0084] Furthermore, since the 4th electro-optic device of this invention mentioned above is provided according to the electronic equipment of this invention, the two aforementioned operation effectiveness can realize the various above-mentioned electronic equipment played by coincidence.

[0085] Such an operation and other gains of this invention are made clear from the gestalt of the operation explained below.

[0086]

[Embodiment of the Invention] (The 1st operation gestalt of substrate equipment) It is in the 1st operation gestalt concerning the substrate equipment of this invention first, and explains with reference to drawing 5 from drawing 1. Drawing 1 is a three dimension partial decomposition perspective view near [in / here / the 1st operation gestalt of the substrate equipment of this invention] external IC, drawing 2 is the part plan of the substrate equipment in near the field in which this external IC is installed, and drawing 3 is a part plan near [in which external IC in the example of a comparison is installed] a field. Furthermore, drawing 4 is a part plan near [in which external IC in a complete-change form gestalt is installed] a field, and drawing 5 is a part plan near [in which external IC in other deformation gestalten is installed] a field.

[0087] The substrate equipment of the 1st operation gestalt is suitably used as a TFT array substrate equipped with the circumference circuit and the COG mold IC in example slack liquid crystal equipment of the below-mentioned electro-optic device. That is, external [of the COG mold IC] is carried out as an example of external IC, and the drive circuit of liquid crystal equipment is constituted from substrate equipment of the 1st operation gestalt by this COG mold IC and the circumference circuit.

[0088] In drawing 1 and drawing 2 substrate equipment 200A of the 1st operation gestalt The TFT array substrate 10, and the scanning-line drive circuit 104 and sampling circuit 118 as an example of a circumference circuit which were made on the TFT array substrate 10, It has the 1st wiring 201, the 2nd wiring 202 and the 3rd wiring 203 which were wired on the TFT array substrate 10, and the data-line drive circuit 101 which consisted of example slack COG molds IC of external IC by which external was carried out on the TFT array substrate 10.

[0089] The scanning-line drive circuit 104 is a drive circuit which drives the scanning line which was formed in image display field 10a, and which is not illustrated. A sampling circuit 118 is a circuit equipped

with the sampling switch supplied to the data line which sampled the picture signal on the picture signal line which is not illustrated, and was formed in image display field 10a, and which is not illustrated. The data-line drive circuit 101 consists of COG molds IC which have an example slack output terminal 221 of the 1st terminal, and an example slack input terminal 222 of the 2nd terminal. The scanning-line drive circuit 104 and sampling circuit 118 which constitute an example of a circumference circuit come to contain the elevated temperature or low-temperature poly-Si TFT manufactured by the same production process as TFT for pixel switching made in image display field 10a like the after-mentioned. [0090] Image display field 10a is explained in full detail in the place of the operation gestalt of the below-mentioned electro-optic device in these scanning-line drive circuits 104, a sampling circuit 118, and data-line drive circuit 101 list.

[0091] The output terminal 221 of the data-line drive circuit 101 is connected to an example slack connection pad 211 of the part for connection prepared on the 1st wiring 201 on the TFT array substrate 10 in field 101S (rectangle region shown with the broken line among drawing 2) which install the data-line drive circuit 101. The input terminal 222 of the data-line drive circuit 101 is connected to an example slack connection pad 212 of other parts for connection prepared on the 3rd wiring 203 on the TFT array substrate 10 in field 101S which install the data-line drive circuit 101.

[0092] The 1st wiring 201 passes field 101S on the TFT array substrate 10, and is wired from the connection pad 211 to the sampling circuit 118.

[0093] The 2nd wiring 202 passes field 101S on the TFT array substrate 10, and is wired to 1st external circuit connection terminal 102a arranged along the edge of a substrate 10 from the connection pad 211.

[0094] The 3rd wiring 203 passes field 101S on the TFT array substrate 10, and is wired to 2nd external circuit connection terminal 102b arranged along the edge of a substrate 10 from the connection pad 212.

[0095] That is, with the 1st operation gestalt, the external circuit connection terminal 102 containing 1st external circuit connection terminal 102a and 2nd external circuit connection terminal 102b is formed along the edge of the TFT array substrate 10. And these external circuit connection terminals 102 are formed in the location from which it separated from field 101S on the TFT array substrate 10.

[0096] Next, the inspection approach of constituted substrate equipment 200A is explained like the above.

[0097] First, before carrying out external [of the data-line drive circuit 101 which consists of a COG mold IC], electric inspection to the below-mentioned data line formed in image display field 10a at the circumference circuit slack scanning-line drive circuit 104 and the sampling circuit 118 list, the scanning line, TFT for pixel switching, a capacity line, storage capacitance, etc. is conducted through 1st external connection terminal 102a and 2nd external connection terminal 102b.

[0098] Then, a checking probe is further contacted to 1st external circuit connection terminal 102a at the time of the failure after shipment, or abnormalities after completion of the electro-optic device equipped with substrate equipment 200A and this concerned after carrying out external [of the data-line drive circuit 101 which consists of a COG mold IC]. And electric inspection to external IC slack data-line drive circuit 101 is conducted through this checking probe. The input signal of predetermined classes, such as a picture signal, a control signal, and a power-source signal, is more specifically inputted into 2nd external circuit connection terminal 102b connected to the input terminal 222 of the data-line drive circuit 101 other than a fundamental conductivity inspection and an insulating inspection. Various kinds of inspection, such as comparing the output signal outputted from 1st external circuit connection terminal 102a connected to the output terminal 221 of the data-line drive circuit 101 with the output signal which should be acquired by always [forward], can be conducted.

[0099] On the other hand, unless the data-line drive circuit 101 is stripped from the TFT array substrate 10 like the example of a comparison shown in drawing 3 once carrying out external [of the external IC slack data-line drive circuit 101] when it is the configuration that the 2nd wiring 202 and 1st external circuit connection terminal 102a are not prepared in the configuration of the 1st operation gestalt, it is impossible to inspect this output as a matter of fact. and the case where a malfunction

arises -- internal organs -- a circuit -- failure of circumference circuits, such as a scanning-line drive circuit and a sampling circuit, -- or it is inseparable in failure of external IC.

[0100] While making the circumference circuit slack sampling circuit 118 and the scanning-line drive circuit 104 bear a part of function required as a circuit on the TFT array substrate 10, external IC slack data-line drive circuit 101 can be made to bear other parts of a function required as a circuit on the TFT array substrate 10 according to substrate equipment 200A of the 1st operation gestalt, as explained above. And when equipment failure or abnormalities occur, it is not necessary to remove external IC from the TFT array substrate 10, and the output signal of external IC slack data-line drive circuit 101 can be inspected with external examination equipment through 1st external circuit connection terminal 102a.

[0101] And with the 1st operation gestalt, since the data-line drive circuit 101 consists of a COG mold IC, after the mounting, the output terminal 221 and input terminal 222 which are arranged on the component side of the COG mold IC are hidden with the package body of the COG mold IC. However, in 1st external circuit connection terminal 102a, the output signal and circumference circuit of the COG mold IC which constitute the data-line drive circuit 101 in this way can be inspected satisfactory from the outside.

[0102] In addition, it is also possible to replace data-line ***** 101 with the COG mold IC, to constitute it from an integrated circuit of various packaging gestalten, such as a DIP form which can be mounted by the wirebonding method, the flip chip method, the beam-lead method, etc., a flat pack form, and a chip carrier form, and it to carry out external to the TFT array substrate 10. In any case, the data-line drive circuit 101 and a circumference circuit can be inspected for the data-line drive circuit 101 comparatively easily through 1st external circuit connection terminal 102a also after external.

[0103] Furthermore, it is also possible to replace with the sampling circuit 118 and the scanning-line drive circuit 104 which consist of a circumference circuit with the 1st operation gestalt, and to carry out external [of the sampling circuit 118 and the scanning-line drive circuit 104 which consist of other external ICs]. Thus, even if constituted, the degree of freedom on a design increases by making the function of a drive circuit required for the TFT array substrate 10 share with two external ICs. In addition, in this case, besides a glass substrate and a quartz substrate, a tape substrate etc. is sufficient as the TFT array substrate 10, and a TAB (Tape Automated Bonding) form may be used for it as an external IC, for example. Thus, the profits that this data-line drive circuit 101 can be inspected from the outside in 1st external connection terminal 102a are obtained, without removing after external the data-line drive circuit 101 which consists of an external IC, even if constituted.

[0104] Two or more output terminal 221 and two or more input terminals 222 of the COG mold IC which constitutes the data-line drive circuit 101 especially from a 1st operation gestalt are located in the shape of a reel in the component side of the COG mold IC, respectively. Therefore, the 2nd wiring 202 and the 3rd wiring 203 which are linearly prolonged from the connection pads 211 and 212 corresponding to these output terminals 221 and input terminals 222 will be located in a line by turns, and, moreover, 1st external circuit connection terminal 102a and 2nd external circuit connection terminal 102b are also located in a line by turns so that drawing 1 and drawing 2 may show. Therefore, the before-it-happens prevention of un-arranging [that wiring and external circuit connection terminals lap] can be carried out efficiently.

[0105] However, like the deformation gestalt shown in drawing 4, in the component side of the COG mold IC, the right pair of two or more output terminal 221 and two or more input terminals 222 of the COG mold IC which constitutes the data-line drive circuit 101 may be carried out, and they may be located, respectively. Namely, what is necessary is just to wire in this case, so that it may have the flat-surface pattern which avoids connection pad 212' and the 3rd wiring 203 for 2nd wiring 202' prolonged from connection pad 211' although the right pair also of connection pad 211' and 212' is carried out.

[0106] Or 1st external circuit connection terminal 102a' and 2nd external circuit connection terminal 102b' may be arranged to a single tier along the edge of the TFT array substrate 10 like the deformation

gestalt shown in drawing 5 . That is, as long as the pitch of 1st external circuit connection terminal 102a' and 2nd external circuit connection terminal 102b' is fully large, all of these terminals are arranged in a single tier, and it becomes possible to close connection with these terminals by the external circuit, if still easier.

[0107] (The 2nd operation gestalt of substrate equipment) Below, the 2nd operation gestalt concerning the substrate equipment of this invention is explained with reference to drawing 9 from drawing 6 . Drawing 7 is the part plan of the substrate equipment in near the field which carries out external [of this external IC], it is a three dimension partial decomposition perspective view near [in / here / in drawing 6 / the 2nd operation gestalt of substrate equipment] external IC, and drawing 9 is [drawing 8 R> 8 is the C1-C1' sectional view of drawing 6 , and] process drawing showing the manufacture process in the D-D' sectional view of drawing 6 .

[0108] As shown in the process (4) of drawing 8 and drawing 9 from drawing 6 , substrate equipment 200B of the 2nd operation gestalt is equipped with the TFT array substrate 10. On this TFT array substrate 10, the scanning-line drive circuit 104 and sampling circuit 118 as an example of a circumference circuit are made. The connection pad 211 is formed at the tip of the sampling circuit drive signal line 114 wired on the TFT array substrate 10 in field 101S (refer to drawing 7) which carry out external [of the data-line drive circuit 101]. The connection pad 212 is formed at the tip of the wiring 203 prolonged from the external circuit connection terminal 102 in field 101S which carry out external [of the data-line drive circuit 101].

[0109] The data-line drive circuit 101 by which external is carried out on the TFT array substrate 10 consists of COG molds IC which have an output terminal 221 and an input terminal 222. And an output terminal 221 is joined to the connection pad 211, and surface mounting of the data-line drive circuit 101 is carried out to field 101S which carry out external [of this] so that an input terminal 222 may be connected to the connection pad 212.

[0110] On the other hand, the scanning-line drive circuit 104 and a sampling circuit 118 are made as a circumference circuit on the TFT array substrate 10 like the after-mentioned coming [the elevated temperature or low-temperature poly-Si TFT manufactured by the same production process as TFT for pixel switching made in image display field 10a].

[0111] Especially with the 2nd operation gestalt, the pattern 230 for inspection of a manufacture process, evaluation, the object for a monitor, or component evaluation is formed in the data-line drive circuit 101 bottom. Before carrying out external [of the data-line drive circuit 101], the pattern 230 is constituted optically or visually so that read may be possible. Therefore, evaluation of a manufacture process, inspection, monitor, or component evaluation can be performed using a pattern 230 until it results in a process just before carrying out external [of the data-line drive circuit 101]. Moreover, with the 2nd operation gestalt, a pattern 230 is not used, after attaching the data-line drive circuit 101 outside. Therefore, as shown in drawing 6 and drawing 7 , a pattern 230 can be formed over the great portion of field 101S which carry out external [of the data-line drive circuit 101]. That is, since a pattern 230 has completed the duty as a pattern for evaluation of a manufacture process, inspection, the object for a monitor, or component evaluation at this time although it will hide with this package body after attaching the data-line drive circuit 101 outside, it is satisfactory in any way.

[0112] Only the part with which a pattern 230 and the data-line drive circuit 101 lap has the substrate top field which these occupy narrowed with the 2nd operation gestalt as mentioned above. Therefore, while narrowing the boundary region on the TFT array substrate 10, image display field 10a can be extended relatively. Consequently, the electro-optic device with which miniaturization and big screen-ization were attained is realizable.

[0113] Especially with the 2nd operation gestalt, as shown in the process (4) of drawing 8 and drawing 9 , the laminating of the substrate insulator layer 12, the 1st interlayer insulation film 41, the 2nd interlayer insulation film 42, and ***** 43 between the 3rd layer is carried out to the data-line drive circuit 101 bottom as well as the layer insulation membrane structure in the below-mentioned image display field.

Furthermore, the pattern 230 consists of pieces of the film of the shape of an island by which the laminating was carried out among these interlayer insulation films, and the sampling circuit drive signal line 114 from the electric conduction film and wiring 203 by which the laminating was carried out are formed among these interlayer insulation films. Also as for these patterns and wiring, it is desirable to consist of the same film as the electric conduction film which constitutes wiring, TFT, etc. in an image display field. That is, if constituted in this way, the manufacture process and laminated structure on the TFT array substrate 10 can be simplified.

[0114] In addition, the pattern 230 is formed in the location between layers between the TFT array substrate 10 and the substrate insulator layer 12 at the process (4) of drawing 8 and drawing 9. However, the laminating location of a pattern 230 is arbitrary and should just form a pattern 230 in the location between layers of either the 1st interlayer insulation film 41 and the 2nd interlayer insulation film 42 suitable for the individual purposes, such as inspection of a manufacture process, evaluation, an object for a monitor, or component evaluation, and ***** 43 between the 3rd layer suitably.

[0115] the top face of the 3rd interlayer insulation film 43 which serves as a component side of the data-line drive circuit 101 which consists of a COG mold IC as especially the 2nd operation gestalt furthermore shows to the process (4) of drawing 8 and drawing 9 — for example, CMP processing — or flattening is carried out by formation of the flattening film using a spin coat. Therefore, even if it carries out surface mounting of the data-line drive circuit 101 to the pattern 230 bottom in piles, it does not destabilize with the irregularity of a component side.

[0116] Next, the manufacture approach of the electro-optic device concerning the constituted 2nd operation gestalt is explained with reference to drawing 9 like the above.

[0117] First, at the process (1) of drawing 9, insulating substrates, such as a glass substrate and a quartz substrate, are prepared, and it considers as the TFT array substrate 10.

[0118] Next, at a process (2), a pattern 230 is formed on the TFT array substrate 10. What is necessary is just to carry out pattern NINGU of it by the photolithography and etching, after such a pattern 230 forms for example, the refractory metal film by sputtering. Then, the substrate insulator layer 230 is formed on this pattern 230.

[0119] Next, at a process (3), data-line 6a which has a configuration like the after-mentioned from various kinds of semi-conductor film, the electric conduction film, etc., scanning-line 3a, and TFT30 grade are formed in an image display field. And sequential formation of the 1st interlayer insulation film 41, the 2nd interlayer insulation film 42, and the 3rd interlayer insulation film 43 which carry out layer insulation of these is carried out. Then, to the 3rd interlayer insulation film 43, flattening is carried out by performing CMP processing. Or the 3rd interlayer insulation film 43 is formed as flattening film with a spin coat etc.

[0120] Especially with the 2nd operation gestalt, it sets at a process (3) from these processes (2). A pattern 230 is used in case data-line 6a which has a configuration like the after-mentioned, scanning-line 3a, and TFT30 grade are formed from various kinds of semi-conductor film, the electric conduction film, etc. Inspect and evaluate and those positioning, spacing, etc. are supervised, or it supervises or evaluation etc. carries out inspection, evaluation, and the component that constitutes the inside of an image display field, or a circumference circuit for change of the thickness of each electric conduction film or each insulator layer.

[0121] Then, at a process (4), after inspection of the process which used the pattern 230, evaluation, a monitor, or component evaluation is completed, it carries out external [of the data-line drive circuit 101] to field 101S.

[0122] Therefore, according to this manufacture process, time difference use can be carried out, using the field and the data-line drive circuit 101 which form a pattern 230 for field 101S which carry out external [of the same field slack data-line drive circuit 101] as the field which carries out external.

[0123] While making the circumference circuit slack sampling circuit 118 and the scanning-line drive circuit 104 bear a part of function required as a circuit on the TFT array substrate 10, external IC slack

data-line drive circuit 101 can be made to bear other parts of a function required as a circuit on the TFT array substrate 10 according to the electro-optic device of the 2nd operation gestalt, as explained above. And since field 101S which carry out external [of the data-line drive circuit 101] are used also as a field which forms a pattern 230, efficient use of the limited substrate top field can be aimed at, and it becomes possible to extend an image display field.

[0124] Next, a deformation gestalt is explained with reference to drawing 10 . Drawing 10 is the C1-C1' sectional view of drawing 7 in a deformation gestalt.

[0125] In drawing 10 , it replaces with a pattern 230, and it has the circumference circuit 250 which comes to contain TFT240, and is constituted by the data-line drive circuit 101 bottom which consists of a COG mold IC. Although TFT240 is equipped with the semi-conductor layer 241, gate dielectric film 242, the gate electrode 243, the source electrode 244, and the drain electrode 245, it is constituted from same film by the manufacture [with such preferably same TFT240] process as TFT30 in image display field 10a. A part of sampling circuit 118 and drive circuit of scanning-line drive circuit 104 grade are sufficient as the circumference circuit 250, and it may be an inspection circuit. About other configurations, it is the same as that of the operation gestalt mentioned above.

[0126] Therefore, according to this deformation gestalt, the data-line drive circuit 101 which surpasses the switching engine performance and the low-power engine performance from the circumference circuit in which a make lump is possible as compared with the case where the data-line drive circuit 101 is constituted, in the same manufacture process as TFT30 in image display field 10a using low temperature or elevated-temperature polish recon as a semi-conductor layer, for example can be built as an external IC. And the circumference circuits 250 of a low drive circuit, such as a part and an inspection circuit, are arranged especially relatively [the demand to the switching engine performance or the low-power engine performance] at the such data-line drive circuit 101 bottom. Therefore, while the drive circuit and circumference circuit of high performance can be built on the TFT array substrate 10 without futility as a whole, it also becomes possible to extend image display field 10a relatively.

[0127] In addition, the circumference circuit 250 may be formed in the field except wiring 203 and the sampling circuit drive signal line 114 at the connection pad 211 and 212 lists. Or the circumference circuit 250 may be partially formed in the these connection pad [ones of], and wiring bottom at least through an insulator layer.

[0128] Moreover, it is good also as an inspection circuit only for inspection performed in the circumference circuit 250 before carrying out external [of the data-line drive circuit 101], and good also as an inspection circuit only for inspection performed without asking that order is external [of the data-line drive circuit 101].

[0129] It is also possible to replace data-line ***** 101 with the COG mold IC, to constitute it from an integrated circuit of various packaging gestalten, such as a DIP form which can be mounted by the wirebonding method, the flip chip method, the beam-lead method, etc., a flat pack form, and a chip carrier form, and it to carry out external to the TFT array substrate 10, respectively with the above-mentioned 2nd operation gestalt and an above-mentioned deformation gestalt. The profits of space-saving-izing by arranging a pattern 230 or the circumference circuit 250, and the data-line drive circuit 101 to the same field in any case are obtained.

[0130] Furthermore, it is also possible to replace with the sampling circuit 118 and the scanning-line drive circuit 104 which consist of a circumference circuit, respectively, and to carry out external [of the sampling circuit 118 and the scanning-line drive circuit 104 which consist of other external ICs] with the 2nd operation gestalt and a deformation gestalt. Thus, even if constituted, the degree of freedom on a design increases by making the function of a drive circuit required for the TFT array substrate 10 share with two external ICs. In addition, in this case, besides a glass substrate and a quartz substrate, a tape substrate etc. is sufficient as the TFT array substrate 10, and a TAB (Tape Automated Bonding) form may be used for it as an external IC, for example. Thus, even if constituted, the profits of space-saving-izing by arranging a pattern 230 or the circumference circuit 250, and the data-line drive circuit

101 to the same field are obtained.

[0131] (The 3rd operation gestalt of substrate equipment) Below, the 3rd operation gestalt concerning the substrate equipment of this invention is explained with reference to drawing 13 from drawing 11 . It is a three dimension partial decomposition perspective view [here / near / in / in drawing 11 / the 3rd operation gestalt of the substrate equipment of this invention / external IC], and drawing 12 is the part plan of the substrate equipment in near the field in which this external IC is installed, and drawing 13 is the C2-C2' sectional view of drawing 12 .

[0132] In addition, this 3rd operation gestalt has the application gestalt-side face of the TFT array substrate 10 concerning the above-mentioned 1st and 2nd operation gestalt. Therefore, since the configuration concerning the 3rd operation gestalt has the configuration concerning the above-mentioned 1st and 2nd operation gestalt, and the configuration of abbreviation identitas, about the configuration to which the same sign as the sign used even by drawing 10 in drawing 13 from drawing 11 is given, it carries out omitting thru/or simplifying the explanation, and, below, it carries out adding explanation especially about a characteristic configuration in the 3rd operation gestalt.

[0133] In drawing 11 thru/or drawing 13 , substrate equipment 200C of the 3rd operation gestalt is equipped with the TFT array substrate 10. And the inside [of field 101S which carry out external / of the data-line drive circuit 101 on this TFT array substrate 10], and data-line drive circuit 101 bottom is equipped with the circumference circuit 250 which comes to contain TFT240. Although TFT240 is equipped with the semi-conductor layer 241, gate dielectric film 242, the gate electrode 243, the source electrode 244, and the drain electrode 245, it is constituted from same film by the manufacture [with such preferably same TFT240] process as TFT30 in image display field 10a.

[0134] Therefore, the data-line drive circuit 101 which surpasses the switching engine performance and the low-power engine performance as compared with the case where the data-line drive circuit 101 is constituted from a circumference circuit in which a make lump in the same manufacture process as TFT30 in image display field 10a using low temperature or elevated-temperature polish recon as a semi-conductor layer is possible can be first built as an external IC, for example according to this 3rd operation gestalt as well as the above-mentioned 2nd operation gestalt. And the circumference circuits 250 of a low drive circuit, such as a part and an inspection circuit, are arranged especially relatively [the demand to the switching engine performance or the low-power engine performance] at the such data-line drive circuit 101 bottom. Therefore, while the drive circuit and circumference circuit of high performance can be built on the TFT array substrate 10 without futility as a whole, it also becomes possible to extend image display field 10a relatively.

[0135] And the end of the drawer wiring 900 is connected to the gate electrode 242, the source electrode 244, and the drain electrode 245 which constitute this TFT240 especially from a 3rd operation gestalt. Moreover, on the TFT array substrate 10, the terminals 902, 904, and 906 for example slack TFT of "the external circuit connection terminal for bottom circuits" said to this invention are formed like that the external circuit connection terminal 102 was arranged in substrate equipment 200A in the above-mentioned 1st operation gestalt, and abbreviation, and the other end of the drawer wiring 900 is connected to these terminals 902, 904, and 906 for TFT, respectively.

[0136] Thus, according to substrate equipment 200C of the 3rd operation gestalt, while TFT240 is made by the data-line drive circuit 101 bottom, this gate electrode 242 of TFT240, the source electrode 244, and the drain electrode 245 are made controllable from the outside through the terminals 902, 904, and 906 for TFT, respectively. Therefore, according to the 3rd operation gestalt, after attaching the data-line drive circuit 101, this deployment of TFT240 is attained. For example, if this TFT240 constitutes a part of inspection circuit, in addition, the performance test of substrate equipment 200C thru/or the circumference circuit 250 etc. can be carried out also in a maintenance time after [shipment] in use etc. in a shipment time.

[0137] Moreover, to the circuit element of the TFT240 grade which the circumference circuit 250 contains, by preparing drawer wiring and the external circuit connection terminal for bottom circuits as

mentioned above, the role assignment between external IC slack data-line drive circuit 101 and the circumference circuit 250 can be set up more flexibly, and, according to the 3rd operation gestalt, the degree of freedom of a design can be raised.

[0138] In addition, the above examples of a configuration shown as the 3rd operation gestalt show a mere example. For example, in ****, although the terminals 902, 904, and 906 for TFT were formed so that drawer wiring might be connected to all the electrodes of TFT240 and it might correspond to all them, this invention is not limited to such a gestalt. Only about the electrode which it is going to control from the outside, drawer wiring and the external circuit connection terminal for bottom circuits should be prepared. Moreover, the circuit element to which drawer wiring should be connected is not more widely restricted to TFT. Naturally the circuit element of others, such as a thin-film diode and a capacitor, may correspond to it.

[0139] Moreover, in ****, although these were explained as a separate gestalt paying attention to the description which each above-mentioned 1st, 2nd, and 3rd operation gestalt has, this invention is not limited only to such a separate gestalt. For example, even if it is a gestalt having the description of the 1st and 2nd operation gestalt or is an electro-optic device used as the 2nd and 3rd operation gestalt or the gestalt having the description of the 1st and 3rd operation gestalt, naturally it is within the limits of this invention. Of course, the electro-optic device having all the descriptions that the 1st, 2nd, and 3rd operation gestalt has is also within the limits of this invention.

[0140] (The whole electro-optic device configuration) Next, the operation gestalt concerning the electro-optic device of this invention is explained with reference to drawing 18 R> 8 from drawing 14 . The electro-optic device of this operation gestalt consists of liquid crystal equipment which equipped the TFT array substrate side with the substrate equipment 200 mentioned above.

[0141] First, the whole electro-optic device configuration of this operation gestalt is explained with reference to drawing 14 and drawing 15 . Here, the liquid crystal equipment of the drive circuit built-in TFT active-matrix drive method which is an example of an electro-optic device is taken for an example. Drawing 14 is the top view which looked at the TFT array substrate from the opposite substrate side with each component formed on it, and drawing 15 is the H-H' sectional view of drawing 14 .

[0142] In drawing 14 and drawing 15 , opposite arrangement of the TFT array substrate 10 and the opposite substrate 20 is carried out with the electro-optic device concerning this operation gestalt. The liquid crystal layer 50 is enclosed between the TFT array substrate 10 and the opposite substrate 20, and the TFT array substrate 10 and the opposite substrate 20 are mutually pasted up by the sealant 52 prepared in the seal field located in the perimeter of image display field 10a. After a sealant 52 consists of heat-curing resin, heat and photo-curing resin, photo-curing resin, ultraviolet-rays hardening resin, etc. and is applied on the TFT array substrate 10 in a manufacture process in order that it may stick both substrates for example, it is stiffened by heating, heating and an optical exposure, an optical exposure, UV irradiation, etc.

[0143] In such a sealant 52, gap material, such as a glass fiber for making spacing between both substrates (gap between substrates) into a predetermined value or a glass bead, is mixed. That is, the electro-optic device of this operation gestalt is small as an object for the light valves of a projector, and suitable for performing an enlarged display. However, the electro-optic device concerned is large-sized like a liquid crystal display or a liquid crystal television, and as long as it is liquid crystal equipment which performs an actual size display, such gap material may be contained in the liquid crystal layer 50.

[0144] The vertical flow material 106 is formed in four corners of the opposite substrate 20, and an electric flow is taken between the vertical flow terminal prepared in the TFT array substrate 10, and the counterelectrode 21 prepared in the opposite substrate 20.

[0145] In drawing 14 and drawing 15 , the frame 53 of the protection-from-light nature which specifies image display field 10a is formed in the opposite substrate 20 side in parallel to the inside of the seal field where the sealant 52 has been arranged. It cannot be overemphasized that a frame 53 may be formed in the TFT array substrate 10 side. The data-line drive circuit 101 and the external circuit

connection terminal 102 are formed in the lateral part of the seal field where the sealant 52 has been arranged among the boundary regions which spread around an image display field along with one side of the TFT array substrate 10, and the scanning-line drive circuit 104 is established in it along with two sides which adjoin this one side. Furthermore, two or more wiring 105 for connecting between the scanning-line drive circuits 104 established in the both sides of image display field 10a is formed in one side in which the TFT array substrate 10 remains.

[0146] In drawing 15, the orientation film is formed on pixel electrode 9a after wiring of TFT for pixel switching, the scanning line, the data line, etc., etc. was formed on the TFT array substrate 10. On the other hand, on the opposite substrate 20, the orientation film is formed at a part for the management of the maximum besides a counterelectrode 21. Moreover, the liquid crystal layer 50 consists of liquid crystal which mixed the pneumatic liquid crystal of a kind or some kinds, and takes a predetermined orientation condition between the orientation film of these pairs.

[0147] With this operation gestalt, the sampling circuit 118 is established in the field on the TFT array substrate 10 under a frame 53. The sampling circuit 118 is constituted so that the picture signal on a picture signal line may be sampled according to the sampling circuit driving signal supplied from the data-line drive circuit 101 and the data line may be supplied.

[0148] Especially with this operation gestalt, the data-line drive circuit 101 consists of a COG mold IC, and external is carried out on the TFT array substrate 10. On the other hand, the scanning-line drive circuit 104 and the sampling circuit 118 are built in the TFT array substrate 10, and are constituted by the same manufacture process as TFT for pixel switching prepared for every pixel in an image display field including formed TFT like the after-mentioned.

[0149] (Circuitry of an electro-optic device, and actuation) The circuitry and actuation in the electro-optic device constituted like the above next are explained with reference to drawing 16. Drawing 16 is the block diagram showing the equal circuit and circumference circuits in two or more pixels formed in the shape of [which constitutes the image display field of an electro-optic device] a matrix, such as various components and wiring.

[0150] In drawing 16, TFT30 for carrying out switching control of pixel electrode 9a and the pixel electrode 9a concerned, respectively is formed in two or more pixels formed in the shape of [which constitutes the image display field of the electro-optic device in this operation gestalt] a matrix, and data-line 6a to which a picture signal is supplied is electrically connected to the source concerned of TFT30.

[0151] It connects with the drain of each switching element with which the end (it is a lower limit in drawing 16) of data-line 6a becomes the boundary region which is outside image display field 10a from TFT of a sampling circuit 118. On the other hand, the picture signal line 115 is connected to the source of TFT of a sampling circuit 118 through the drawer wiring 116. The sampling circuit drive signal line 114 connected to the data-line drive circuit 101 is connected to the gate of TFT of a sampling circuit 118. And the picture signals S1, S2, --, Sn on the picture signal line 115 are constituted so that it may be sampled by the sampling circuit 118 and each data-line 6a may be supplied according to a sampling circuit driving signal being supplied through the sampling circuit drive signal line 114 from the data-line drive circuit 101.

[0152] Thus, the picture signals S1, S2, --, Sn written in data-line 6a may be supplied to line sequential, and you may make it supply them to this order for every group to two or more data-line 6a which adjoin each other.

[0153] Moreover, scanning-line 3a is electrically connected to the gate of TFT30 for pixel switching, and it consists of predetermined timing so that the scan signals G1, G2, --, Gm may be impressed to scanning-line 3a by the scanning-line drive circuit 104 in pulse line sequential at this order. It connects with the drain of TFT30 electrically, and pixel electrode 9a writes in the picture signals S1, S2, --, Sn supplied from data-line 6a in TFT30 which is a switching element when only a fixed period closes the switch to predetermined timing. Fixed period maintenance of the picture signals S1, S2, --, Sn of the

predetermined level written in the liquid crystal as an example of electrooptic material through pixel electrode 9a is carried out between the counterelectrodes 21 formed in the opposite substrate. When the orientation and order of molecular association change with the potential level impressed, liquid crystal modulates light and enables a gradation display. The transmission to incident light decreases according to the electrical potential difference impressed in the unit of each pixel when it was in no MARI White mode, if it is in NOMA reeve rack mode, the transmission to incident light will be increased according to the electrical potential difference impressed in the unit of each pixel, and light with the contrast according to a picture signal will carry out outgoing radiation from an electro-optic device as a whole. Here, in order to prevent the held picture signal leaking, storage capacitance 70 is added to the liquid crystal capacity and juxtaposition which are formed between pixel electrode 9a and a counterelectrode 21.

[0154] In addition, on the TFT array substrate 10, the inspection circuit for inspecting the precharge circuit which precedes the precharge signal of a predetermined voltage level with a picture signal, and supplies it to two or more data-line 6a respectively, the quality of the electro-optic device concerned at the manufacture middle or the time of shipment, a defect, etc. in addition to these scanning-line drive circuits 104 and sampling circuit 118 grade etc. may be formed.

[0155] That is, it may make as a circumference circuit to the substrate equipments 200A, 200B, and 200C which showed such various circuits to drawing 1 , drawing 6 , and drawing 11 , and you may carry out external as an external IC.

[0156] Circumference circuits, such as the above precharge circuits and an inspection circuit, are added to the scanning-line drive circuit 104 and a sampling circuit 118, or are replaced with, and, more specifically, it may make to the TFT array substrate 10 as a circumference circuit. Or circumference circuits, such as such a precharge circuit and an inspection circuit, may be added to the data-line drive circuit 101, or may be replaced with, and may carry out external as an external IC. Anyway, one part of the drive circuits is constituted from external IC by this operation gestalt.

[0157] (Configuration in the pixel section) Next, the configuration in the pixel section of the electro-optic device in this operation gestalt is explained with reference to drawing 17 and drawing 18 . Drawing 17 is a top view of two or more pixel groups where the electro-optic device with which the data line, the scanning line, a pixel electrode, etc. were formed adjoins each other, and drawing 18 is the A-A' sectional view of drawing 17 . In addition, in order to make each class and each part material into the magnitude of extent which can be recognized on a drawing, scales are made to have differed for each class or every each part material in drawing 18 .

[0158] In drawing 17 , on the substrate 10 of an electro-optic device, two or more transparent pixel electrode 9a (the profile is shown by dotted-line section 9a') is prepared in the shape of a matrix, and data-line 6a and scanning-line 3a are prepared respectively along the boundary of pixel electrode 9a in every direction.

[0159] Moreover, scanning-line 3a is arranged so that the bottom of Fig. Nakamigi may counter channel field 1a' shown in the slash field of ** among semi-conductor layer 1a, and scanning-line 3a functions as a gate electrode. Thus, TFT30 for pixel switching by which opposite arrangement of the scanning-line 3a was carried out as a gate electrode is formed in the crossing part of scanning-line 3a and data-line 6a at channel field 1a', respectively.

[0160] With this operation gestalt, the capacity line 300 is formed in the formation field of scanning-line 3a in piles, as the thick wire in drawing showed. The main track section prolonged along with scanning-line 3a, and among drawing 17 , from the each place which intersects data-line 6a, the lobe projected up along with data-line 6a, respectively and the part corresponding to a contact hole were slightly narrow, and were narrow, and the capacity line 300 is more specifically equipped with the section.

[0161] As shown in drawing 17 and drawing 18 , trunk connection of the pixel electrode 9a is carried out to high concentration drain field 1e with the drain electrode 302 which functions also as a conductive layer for trunk connection through contact holes 83 and 85. Trunk connection of the data-line 6a is

carried out to 1d of high concentration source fields with the source electrode 303 which functions also as a conductive layer for trunk connection through contact holes 81 and 82.

[0162] On the pixel potential side capacity electrode which consists of some drain electrodes 302, the capacity line 300 which contains a fixed potential side capacity electrode through a dielectric film 301 is formed. The capacity line 300 consists of the metal simple substance containing metals, such as aluminum (aluminum), Ag (silver), Cu (copper), Ti (titanium), Cr (chromium), W (tungsten), Ta (tantalum), Mo (molybdenum), and Pb (lead), an alloy, metal silicide, a polycide, a thing that carried out the laminating of these. With this operation gestalt, storage capacitance 70 is built by carrying out opposite arrangement of some drain electrodes 302 and a part of capacity line 300 through a dielectric film 301 in this way.

[0163] On the capacity line 300, the 2nd interlayer insulation film 42 with which the contact hole 85 which leads the contact hole 81 and the drain electrode 302 which lead the source electrode 303 and data-line 6a, and pixel electrode 9a was formed respectively is formed. The 2nd interlayer insulation film 42 is formed from for example, the silicate glass film, a silicon nitride film, the silicon oxide film, etc., and the thickness sets it to about about 500–2000nm.

[0164] Data-line 6a is formed on the 2nd interlayer insulation film 42, and the 3rd interlayer insulation film 43 with which the contact hole 85 to the drain electrode 302 was formed is further formed on these. It may be about hundreds of nm so that starting data-line 6a may be formed from low resistance metal membranes, such as aluminum (aluminum), of sputtering, a photolithography, etching, etc. so that it may have a predetermined pattern, and, as for the thickness, required conductivity may be acquired according to wiring width of face. On the other hand, the 3rd interlayer insulation film 43 is formed from for example, the silicate glass film, a silicon nitride film, the silicon oxide film, etc., and the thickness sets it to about about 500–2000nm.

[0165] Pixel electrode 9a is prepared in the top face of the 3rd interlayer insulation film 7 constituted in this way. Pixel electrode 9a is formed from transparent conductive film, such as ITO (Indium Tin Oxide) film, by sputtering, the photolithography, etching, etc. In addition, the orientation film to which rubbing processing was performed may be formed like the below-mentioned electro-optic device.

[0166] Data-line 6a is electrically connected to 1d of high concentration source fields among semi-conductor layer 1a through the contact hole 81 and the contact hole 82 by relaying the source electrode 303. On the other hand, pixel electrode 9a is electrically connected to high concentration drain field 1e among semi-conductor layer 1a through contact holes 83 and 85 by acting as intermediary as a junction layer using the drain electrode 302 which consists of the same film as the source electrode 303.

[0167] Thus, even if the distance between layers between pixel electrode 9a and semi-conductor layer 1a which constitutes TFT30 is long to about 1000nm by using the drain electrode 302 as a junction layer, between both can be connected comparatively good in two in-series contact holes 83 and 84 of a minor diameter, avoiding the technical difficulty which connects between both in one contact hole, and it becomes possible [raising a pixel numerical aperture]. If such a junction layer is used especially, etching at the time of contact hole puncturing will run, and it will be useful also to prevention. Even if similarly the distance between layers between data-line 6a and semi-conductor layer 1a which constitutes TFT30 is long by using the source electrode 303, between both is comparatively connectable good in two in-series contact holes 81 and 82 of a minor diameter, avoiding the technical difficulty which connects between both in one contact hole.

[0168] As shown in drawing 17 and drawing 18 , storage capacitance 70 is built to the field which laps with field and data-line 6a which sees superficially and laps with scanning-line 3a by carrying out opposite arrangement of the drain electrode 302 and the capacity line 300 through a dielectric film 301.

[0169] Namely, under the field of data-line 6a, the capacity line 300 has the lobe projected so that the drain electrode 302 may be covered, and forms it in the shape of a ctenidium while it is prolonged so that scanning-line 3a may be covered. The drain electrode 302 forms the island-like capacity electrode

of the shape of L character which one side is prolonged from the intersection of scanning-line 3a and data-line 6a along with the lobe of the capacity line 300 under the field of data-line 6a, and is prolonged to near [which adjoins along with the capacity line 300 which has another side on the field of scanning-line 3a] the data-line 6a. And storage capacitance 70 is formed in the field in which the L character-like drain electrode 302 laps with the capacity line 300 through a dielectric film 301.

[0170] It connects with pixel electrode 9a in the contact hole 85, and connects with high concentration drain field 1e in the contact hole 83, and let the drain electrode 302 containing one capacity electrode of storage capacitance 70 be pixel electrode potential.

[0171] It is installed in the perimeter from the image display field where pixel electrode 9a has been arranged, it connects with the constant source of potential electrically, and let the capacity line 300 containing the capacity electrode of another side of storage capacitance 70 be fixed potential. The constant source of potential of a positive supply or a negative supply supplied to the data-line drive circuit which controls the sampling circuit which supplies the scanning-line drive circuit and picture signal for supplying the scan signal for driving TFT30 to scanning-line 3a as a constant source of potential to data-line 6a is sufficient, and the constant potential supplied to an opposite substrate is also available.

[0172] The dielectric film 301 of storage capacitance 70 consists of silicon oxide film, such as comparatively thin HTO film (high-temperature-oxidation film) of about 5-200nm of thickness, and LTO film (low-temperature-oxidation film), or a silicon nitride film. The thermal oxidation film which obtained the front face of the drain electrode 302 by oxidizing is sufficient as a dielectric film 301. As long as the dependability of thickness is fully acquired from a viewpoint which increases storage capacitance 70, a dielectric film 301 is so good that it is thin.

[0173] As shown in drawing 18, the electro-optic device equips the substrate equipments 200A and 200B or 200C, and this with the transparent opposite substrate 20 by which opposite arrangement is carried out. The opposite substrate 20 consists of a glass substrate or a quartz substrate. Pixel electrode 9a is prepared in the substrate 10, and the orientation film 16 with which predetermined orientation processing of rubbing processing etc. was performed is formed in the bottom. Moreover, the orientation film 16 consists of organic film, such as for example, polyimide film.

[0174] On the other hand, it crosses to the opposite substrate 20 all over the, the counterelectrode 21 is formed, and the orientation film 22 with which predetermined orientation processing of rubbing processing etc. was performed is formed in the bottom. A counterelectrode 21 consists of transparent conductive film, such as for example, ITO film. Moreover, the orientation film 22 consists of organic film, such as polyimide film.

[0175] TFT30 for pixel switching which carries out switching control of each pixel electrode 9a is formed in the location which adjoins each pixel electrode 9a at the substrate 10.

[0176] You may make it prepare a light-shielding film in the opposite substrate 20 further. By taking such a configuration, it can control that incident light invades into channel field 1a' of semi-conductor layer 1a of TFT30, low concentration source field 1b, and low concentration drain field 1c from the opposite substrate 20 side. furthermore, the field where incident light is irradiated to the light-shielding film on an opposite substrate -- high -- it serves to prevent the temperature rise of an electro-optic device by forming by the film [****].

[0177] In addition, with this operation gestalt, the part which met data-line 6a among the protection-from-light fields of each pixel may be shaded by data-line 6a of the protection-from-light nature which consists of aluminum film etc., and channel field 1a' etc. can be shaded by forming the capacity line 300 by the film of protection-from-light nature.

[0178] Thus, it is constituted, and between the substrates 10 and the opposite substrates 20 which have been arranged so that pixel electrode 9a and a counterelectrode 21 may meet, the liquid crystal which is an example of electrooptic material is enclosed with the space surrounded by the sealant, and the liquid crystal layer 50 is formed. The liquid crystal layer 50 takes a predetermined orientation

condition with the orientation film 16 and 22 in the condition that the electric field from pixel electrode 9a are not impressed.

[0179] Although a level difference arises with the operation gestalt explained above to the field which met data-line 6a and scanning-line 3a by carrying out the laminating of many conductive layers May trench the 1st interlayer insulation film 41 and the 2nd interlayer insulation film 42, may perform flattening processing by embedding wiring and the TFT30 grade of data-line 6a etc., and The flattening processing concerned may be performed by [which grind the level difference of the top face of the 3rd interlayer insulation film 43 or the 2nd interlayer insulation film 42 by CMP processing etc.] depending especially or forming in Taira and others using organic [SOG].

[0180] Furthermore, although TFT30 for pixel switching has LDD structure with the operation gestalt explained above as preferably shown in drawing 18 , you may be TFT of the self aryne mold which may have the offset structure which does not drive an impurity into low-concentration source field 1b and low-concentration drain field 1c, drives in an impurity by high concentration by using as a mask the gate electrode which consists of a part of scanning-line 3a, and forms the high-concentration source and a drain field in self align. Moreover, although considered as the single gate structure which has arranged one gate electrode of TFT30 for pixel switching among 1d [of high concentration source fields], and high concentration drain field 1e with this operation gestalt, two or more gate electrodes may be arranged among these. Thus, if TFT is constituted above the dual gate or the triple gate, the leakage current of a joint with a channel, the source, and a drain field can be prevented, and the current at the time of OFF can be reduced. And it can build as various kinds of TFT(s) similarly about TFT which constitutes a circumference circuit.

[0181] In the operation gestalt explained with reference to drawing 18 from drawing 14 above, a polarization film, a phase contrast film, a polarizing plate, etc. are respectively arranged in a predetermined direction at the side in which the outgoing radiation light of the side in which the incident light of the opposite substrate 20 carries out incidence, and a substrate 10 carries out outgoing radiation according to the exception of modes of operation, such as TN (Twisted Nematic) mode, VA (Vertically Aligned) mode, and PDLC (Polymer Dispersed Liquid Crystal) mode, and the no MARI White mode / NOMA reeve rack mode.

[0182] Since the electro-optic device in the operation gestalt explained above is applied to a projector, the electro-optic device of three sheets will be respectively used as a light valve for RGB, and incidence of the light of each color respectively decomposed through the dichroic mirror for RGB color separation will be respectively carried out to each light valve as incident light. Therefore, with each operation gestalt, the color filter is not prepared in the opposite substrate 20. However, the color filter of RGB may be formed in the predetermined field which counters pixel electrode 9a by which a light-shielding film is not formed in the opposite substrate on the opposite substrate 20 with the protective coat. If it does in this way, the electro-optic device in each operation gestalt is applicable about the color electro-optic device of direct viewing types other than a projector, or a reflective mold. Moreover, a micro lens may be formed so that it may correspond 1 pixel on [one] the opposite substrate 20. Or it is also possible to form a color filter layer in the bottom of pixel electrode 9a which counters RGB on the TFT array substrate 10 by a color resist etc. If it does in this way, a bright electro-optic device is realizable by improving the condensing effectiveness of incident light. Furthermore, the die clo IKKU filter which makes a RGB color using interference of light by depositing the interference layer to which the refractive index of many layers is different on the opposite substrate 20 again may be formed. According to this opposite substrate with a die clo IKKU filter, a brighter color electro-optic device is realizable.

[0183] (Electronic equipment) Next, the whole configuration and especially an optical configuration are explained about the operation gestalt of an example slack projection mold electrochromatic display of electronic equipment using the electro-optic device explained to the detail above as a light valve.

Drawing 1919 is a diagrammatic sectional view of a projection mold electrochromatic display here.

[0184] In drawing 19 , an example slack liquid crystal projector 1100 of the projection mold electrochromatic display in this operation gestalt prepares three liquid crystal modules containing the liquid crystal equipment 100 with which the drive circuit was carried on the TFT array substrate, and is constituted as a projector used as light valves 100R, 100G, and 100B for RGB, respectively. In a liquid crystal projector 1100, if incident light is emitted from the lamp unit 1102 of sources of the white light, such as a metal halide lamp, it will be divided into parts for Mitsunari R, G, and B corresponding to the three primary colors of RGB with the mirror 1106 of three sheets, and the dichroic mirror 1108 of two sheets, and will be led to the light valves 100R, 100G, and 100B corresponding to each color, respectively. Under the present circumstances, especially B light is drawn through the relay lens system 1121 which consists of the incidence lens 1122, a relay lens 1123, and an outgoing radiation lens 1124, in order to prevent the optical loss by the long optical path. And after a part for Mitsunari corresponding to the three primary colors modulated with light valves 100R, 100G, and 100B, respectively is again compounded with a dichroic prism 1112, it is projected on it by the screen 1120 as a color picture through a projector lens 1114.

[0185] This invention is not restricted to the operation gestalt mentioned above, and can be suitably changed in the range which is not contrary to the summary of invention which can be read in a claim and the whole specification, or thought, and electronic equipment is also contained in the substrate equipment accompanied by such modification, its inspection approach, an electro-optic device and its manufacture approach, and a list in the technical range of this invention.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a three dimension partial decomposition perspective view near [in the 1st operation gestalt of the substrate equipment of this invention] external IC.

[Drawing 2] It is the part plan of the substrate equipment in near the field in which external IC in the 1st operation gestalt of the substrate equipment of this invention is installed.

[Drawing 3] It is a part plan near [in which external IC in the example of a comparison is installed] a field.

[Drawing 4] It is a part plan near [in which external IC in the complete-change form gestalt of the substrate equipment of this invention is installed] a field.

[Drawing 5] It is a part plan near [in which external IC in other deformation gestalten of the substrate equipment of this invention is installed] a field.

[Drawing 6] It is a three dimension partial decomposition perspective view near [in the 2nd operation gestalt of the substrate equipment of this invention] external IC.

[Drawing 7] It is the part plan of the substrate equipment in near the field in which external IC in the

2nd operation gestalt of the substrate equipment of this invention is installed.

[Drawing 8] It is the C1-C1' sectional view of drawing 7 .

[Drawing 9] It is process drawing showing the manufacture process in the D-D' sectional view of drawing 7 .

[Drawing 10] It is the C1-C1' sectional view of drawing 7 in a deformation gestalt.

[Drawing 11] It is a three dimension partial decomposition perspective view near [in the 3rd operation gestalt of the substrate equipment of this invention] external IC.

[Drawing 12] It is the part plan of the substrate equipment in near the field in which near [in the 3rd operation gestalt of the substrate equipment of this invention] external IC is installed.

[Drawing 13] It is the C2-C2' sectional view of drawing 12 .

[Drawing 14] It is the top view which looked at the TFT array substrate in the electro-optic device of the operation gestalt of this invention from the opposite substrate side with each component formed on it.

[Drawing 15] It is the H-H' sectional view of drawing 14 .

[Drawing 16] They are equal circuits established in two or more pixels of the shape of a matrix which constitutes the image display field in the electro-optic device of the operation gestalt of this invention, such as various components and wiring.

[Drawing 17] It is the top view of two or more pixel groups where the TFT array substrate with which the data line in the electro-optic device of an operation gestalt, the scanning line, a pixel electrode, etc. were formed adjoins each other.

[Drawing 18] It is the A-A' sectional view of drawing 17 .

[Drawing 19] It is the diagrammatic sectional view showing an example slack electrochromatic display projector of the projection mold electrochromatic display which is the operation gestalt of the electronic equipment of this invention.

[Description of Notations]

1a -- Semi-conductor layer

1a' -- Channel field

1b -- Low concentration source field

1c -- Low concentration drain field

1d -- High concentration source field

1e -- High concentration drain field

2 -- Insulator layer

3a -- Scanning line

6a -- Data line

9a -- Pixel electrode

10 -- Substrate

11a -- Bottom light-shielding film

16 -- Orientation film

20 -- Opposite substrate

21 -- Counterelectrode

22 -- Orientation film

30 -- TFT

50 -- Liquid crystal layer

70 -- Storage capacitance

81, 82, 83, 85 -- Contact hole

101 -- Data-line drive circuit

101S -- Field in which a data-line drive circuit is installed

102 -- External circuit connection terminal

104 -- Scanning-line drive circuit

118 -- Sampling circuit
200A, 200B, 200C -- Substrate equipment
201, 202, 203 -- Wiring
211 212 -- Connection pad
221 -- Output terminal
222 -- Input terminal
230 -- Pattern

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-66113

(P2003-66113A)

(43) 公開日 平成15年3月5日(2003.3.5)

(51) Int.Cl. ⁷	識別記号	F I	テマコード(参考)
G 0 1 R 31/28		G 0 2 F 1/13	1 0 1 2 G 1 3 2
G 0 2 F 1/13	1 0 1	1/1345	2 H 0 8 8
1/1345		1/1368	2 H 0 9 2
1/1368		G 0 1 R 31/28	V

審査請求 未請求 請求項の数29 O L (全 23 頁)

(21) 出願番号 特願2002-122815(P2002-122815)

(22) 出願日 平成14年4月24日(2002.4.24)

(31) 優先権主張番号 特願2001-179042(P2001-179042)

(32) 優先日 平成13年6月13日(2001.6.13)

(33) 優先権主張国 日本(J P)

(31) 優先権主張番号 特願2001-179101(P2001-179101)

(32) 優先日 平成13年6月13日(2001.6.13)

(33) 優先権主張国 日本(J P)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 江口 司

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(72) 発明者 藤川 紳介

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人 100095728

弁理士 上柳 雅彦 (外2名)

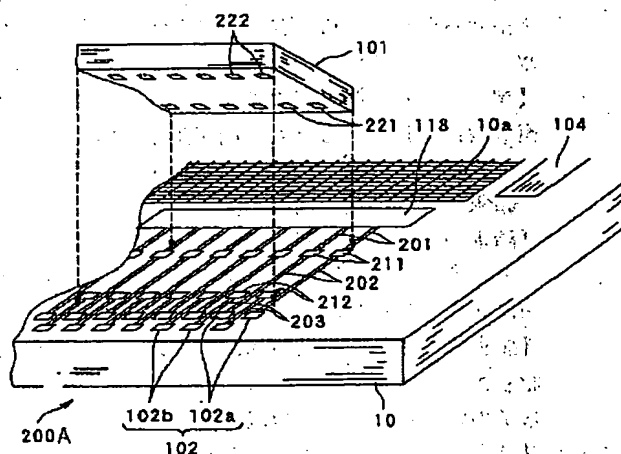
最終頁に続く

(54) 【発明の名称】 基板装置、その検査方法、電気光学装置及びその製造方法、並びに電子機器

(57) 【要約】

【課題】 液晶装置等のTFTアレイ基板などとして用いられる基板装置において、外付けICを剥がすことなく、その電気的な検査を行う。

【解決手段】 基板装置は、基板と、この上に作り込まれた周辺回路と、基板上に配線された第1配線と、基板上に外付けされており第1端子を有すると共に該第1端子が第1配線上に設けられた接続用部分に接続された外付けICとを備える。更に、基板上の領域のうち外付け集積回路に対向する部分を通過するように接続用部分から引き出された第2配線と、基板上の領域のうち外付け集積回路に対向しない部分において第2配線上に設けられた第1の外部回路接続端子とを備える。この外部回路接続端子を介して、外付けICの検査が行える。



(2)

【特許請求の範囲】

【請求項1】 基板と、

該基板上に作り込まれた周辺回路と、

前記基板上に配線された第1配線と、

前記基板上の前記第1配線上に設けられた接続用部分に接続された第1端子を有する集積回路と、

前記基板上の領域のうち前記集積回路に対向する部分を通過するように前記接続用部分から引き出された第2配線と、前記基板上の領域のうち前記集積回路に対向しない部分において前記第2配線上に設けられた第1の外部回路接続端子とを備えたことを特徴とする基板装置。

【請求項2】 前記接続用部分は、前記基板上に配置された接続用パッドからなることを特徴とする請求項1に記載の基板装置。

【請求項3】 前記基板上の領域のうち前記集積回路に対向する部分を通過する第3配線と、前記基板上の領域のうち前記集積回路に対向しない部分において前記第3配線上に設けられた第2の外部回路接続端子とを更に備えており、前記集積回路は、第2端子を更に有すると共に該第2端子が前記第3配線上に設けられた他の接続用部分に接続されていることを特徴とする請求項1又は2に記載の基板装置。

【請求項4】 前記第1端子は、前記集積回路の出力端子であり、前記第2端子は、前記集積回路の入力端子であり、前記第1の外部回路接続端子は、前記集積回路の出力信号を取り出すための検査用端子であり、前記第2の外部回路接続端子は、当該基板装置を動作させる各種信号を入力するための動作用端子であることを特徴とする請求項3に記載の基板装置。

【請求項5】 前記第1端子及び前記第2端子は、前記集積回路の前記基板に対向する面上に位置することを特徴とする請求項3又は4に記載の基板装置。

【請求項6】 前記第1端子及び前記第2端子は夫々、複数設けられていると共に前記集積回路の前記基板に対向する面上において千鳥足状に位置することを特徴とする請求項5に記載の基板装置。

【請求項7】 前記周辺回路は、薄膜トランジスタを含んでなることを特徴とする請求項1から6のいずれか一項に記載の基板装置。

【請求項8】 前記周辺回路に代えて他の集積回路が前記基板上に設けられていることを特徴とする請求項1から7のいずれか一項に記載の基板装置。

【請求項9】 請求項1から8のいずれか一項に記載の基板装置を検査する基板装置の検査方法であって、前記基板に、前記集積回路を接続した後に、前記第1の外部回路接続端子に検査用プローブを接触させる工程と、該検査用プローブを介して前記集積回路に対する電気的検査を行う検査工程とを含むことを特徴とする基板装置の検査方法。

【請求項10】 前記基板に、前記集積回路を接続する

2

前に、前記周辺回路に対する電気的検査を行う他の検査工程を更に含むことを特徴とする請求項9に記載の基板装置の検査方法。

【請求項11】 請求項1から8のいずれか一項に記載の基板装置上に、画素電極と、該画素電極に接続された薄膜トランジスタと、該薄膜トランジスタに接続されたデータ線及び走査線とを備えており、前記周辺回路及び前記集積回路は夫々、前記データ線及び前記走査線を駆動するための回路を部分的に含むことを特徴とする電気光学装置。

【請求項12】 前記周辺回路及び前記集積回路は、前記画素電極が複数配列された画像表示領域の周辺に位置する周辺領域に配置されていることを特徴とする請求項11に記載の電気光学装置。

【請求項13】 前記周辺回路は、前記データ線に接続されたサンプリング回路を含み、前記集積回路は、前記データ線及び前記走査線を駆動すると共にシフトレジスタを有する駆動回路を含むことを特徴とする請求項11又は12に記載の電気光学装置。

【請求項14】 基板上に、画素電極と、該画素電極を駆動するための配線及び電子素子のうち少なくとも一方と、該少なくとも一方に接続された駆動回路の少なくとも一部分を構成すると共に前記基板上に配置される集積回路と、該集積回路の下側に配置された所定パターンとを備えたことを特徴とする電気光学装置。

【請求項15】 前記所定パターンは、製造プロセスの評価、検査及び監視用のパターンのうち少なくとも一つを含むと共に前記基板上の領域のうち前記外付け集積回路の入出力端子が接合される接続用パッドを除く領域に形成されていることを特徴とする請求項14に記載の電気光学装置。

【請求項16】 基板上に、画素電極と、該画素電極を駆動するための配線及び電子素子のうち少なくとも一方と、該少なくとも一方に接続された駆動回路の少なくとも一部分を構成すると共に前記基板上に設置される集積回路と、該集積回路の下側に配置されており前記少なくとも一方と一緒に作り込まれた下側回路とを備えたことを特徴とする電気光学装置。

【請求項17】 前記集積回路は、前記駆動回路の一部分を構成し、前記下側回路は、前記駆動回路の他の部分を構成することを特徴とする請求項16に記載の電気光学装置。

【請求項18】 前記配線は、データ線及び走査線を含み、前記集積回路は、前記データ線を駆動するデータ線駆動回路を含み、前記下側回路は、前記走査線を駆動する走査線駆動回路及び画像信号をサンプリングして前記データ線に供給するサンプリング回路を含むことを特徴とする請求項17に記載の電気光学装置。

(3)

3

【請求項1・9】 前記下側回路は、検査回路を含むことを特徴とする請求項16に記載の電気光学装置。

【請求項20】 前記電子素子は、前記画素電極に接続された薄膜トランジスタを含み、前記下側回路は、前記薄膜トランジスタと同一製造プロセスにより製造される薄膜トランジスタを含むことを特徴とする請求項16から19のいずれか一項に記載の電気光学装置。

【請求項21】 前記集積回路と前記下側回路との間に、絶縁膜が形成されていることを特徴とする請求項16から20のいずれか一項に記載の電気光学装置。

【請求項22】 前記集積回路は、前記画素電極が配置された画像表示領域の周辺に位置する周辺領域に設置されることを特徴とする請求項14から21のいずれか一項に記載の電気光学装置。

【請求項23】 前記集積回路が設置される前記基板上の最上層は、平坦化されていることを特徴とする請求項14から22のいずれか一項に記載の電気光学装置。

【請求項24】 請求項14又は15に記載の電気光学装置を製造する電気光学装置の製造方法であって、前記基板上の所定領域に前記所定パターンを形成する第1形成工程と、前記所定パターンに基づいて検査、評価及び監視のうち少なくとも一つを行う検査工程と、前記少なくとも一方及び前記画素電極を形成する第2形成工程と、前記所定領域に前記集積回路を設置する工程とを備えたことを特徴とする電気光学装置の製造方法。

【請求項25】 請求項16から21のいずれか一項に記載の電気光学装置を製造する電気光学装置の製造方法であって、前記基板の所定領域に前記下側回路を形成し、前記少なくとも一方を形成し、前記画素電極を形成する形成工程と、前記所定領域に前記集積回路を設置する工程とを備えたことを特徴とする電気光学装置の製造方法。

【請求項26】 前記所定パターンは、アライメントマーク及び識別マークのうち少なくとも一つを含むことを特徴とする請求項14又は15に記載の電気光学装置。

【請求項27】 前記下側回路には回路素子が含まれ、該回路素子から引き出された引出配線と、前記基板の領域のうち前記集積回路に対向しない部分において前記引出配線に接続された下側回路用外部回路接続端子とを更に備えたことを特徴とする請求項16から23のいずれか一項に記載の電気光学装置。

【請求項28】 基板と、該基板上に作り込まれた周辺回路と、前記基板上に配線された第1配線と、前記基板の前記第1配線上に設けられた接続用部分に接続された第1端子を有する集積回路と、前記基板の領域のうち前記集積回路に対向する部分を通過するように前記接続用部分から引き出された第2配線と、

4

前記基板の領域のうち前記集積回路に対向しない部分において前記第2配線上に設けられた第1の外部回路接続端子とを備えるとともに、前記基板上に、

画素電極と、該画素電極を駆動するための配線及び電子素子のうち少なくとも一方とを備えており、前記集積回路は、前記少なくとも一方に接続された駆動回路の少なくとも一部分を構成すると共に前記基板上に設置されており、

前記集積回路の下側には所定パターン又は下側回路が配置されていることを特徴とする電気光学装置。

【請求項29】 請求項11から13又は請求項14から23及び26から28のいずれか一項に記載の電気光学装置を具備することを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、例えば液晶装置等の電気光学装置におけるTFTアレイ基板などとして好適に用いられる基板装置及びその電気的な検査方法の技術分野に属し、更にそのような基板装置を備えてなる液晶装置等の電気光学装置及びその製造方法、並びに、該電気光学装置を具備してなる各種電子機器の技術分野に属する。

【0002】

【背景技術】 薄膜トランジスタ（以下適宜、TFTと称す）駆動型の液晶装置等の電気光学装置では、ガラス基板、石英基板等の絶縁基板上に、高温又は低温ポリシリコン、アモルファスシリコン等を半導体層として用いた薄膜トランジスタが、画素電極のスイッチング制御用に各画素に作り込まれる。

【0003】 ポリシリコン型のTFTの場合には、概ねトランジスタ特性や消費電力に優れる。このため、多数の画素電極が配列された画像表示領域の周辺に位置する周辺領域に、このようなポリシリコン型のTFTからなる周辺回路を作り込めば、周辺回路として十分なトランジスタ特性や低消費電力が得られる。従って、同一製造工程により画像表示領域内における画素スイッチング用のTFTと周辺回路を構成するTFTとを同時形成できるので有利である。

【0004】 他方、アモルファスシリコン型のTFTの場合には概ねトランジスタ特性や消費電力に劣る。このため、周辺回路をアモルファスシリコン型のTFTで作るのでは周辺回路として十分なトランジスタ特性や低消費電力が得られないことが多い。このため、アモルファスシリコン型のTFTを画素スイッチング用のTFTとして採用する場合には、周辺領域に外付け集積回路（以下適宜、ICと称す）を外付けする技術が一般的である。

【0005】

(4)

5

【発明が解決しようとする課題】本願発明者の研究によれば、前述したポリシリコン型のTFTで周辺回路を作り込む技術では、表示画像の高品位化等の一般的要請下における駆動周波数の上昇や低消費電力化に対処可能な周辺回路を作り込むことが困難になりつつある。このため、周辺領域に外付けICを外付けして、この外付けICに周辺回路の一部の機能を担わせることが望ましいと考察される。例えば、特開平04-242724号公報に開示されている技術が知られている。

【0006】しかしながら、前述のように、周辺回路を作り込んだ基板上に、更に外付け集積回路を外付けすると、製造後や出荷後において当該基板装置に故障や異常が生じた場合に、故障している或いは異常であるのが、周辺回路であるのか又は外付けICであるのかを特定することが極めて困難となる。従って、このような故障或いは異常の際には、外付けICを基板から剥がして、当該外付けIC単独で、電氣的な検査を行う必要があり、実用的ではないという問題点がある。

【0007】このため、実際には、周辺回路が作り込まれた基板上に更に、外付けICを外付けする技術は進んでいないのが実情である。

【0008】また、外付けICに関する別の課題としては、周辺領域に外付けICを外付けすると、前述した製造プロセスの検査、評価又は監視用或いは素子評価用の各種パターンと外付けICとにより、相対的に広い周辺領域が必要となる。即ち、限られた基板上領域のうち、かなりの部分をこれらの各種パターンと外付けICとで占めることになり、結果として、基板の小型化或いは限られた基板上領域での画像表示領域の大型化という一般的要請に応えることが困難になるということもある。

【0009】他方、周辺回路を作り込んだ基板上に、更に外付けICを外付けすると、同様に、限られた基板上領域のうち、かなりの部分を周辺回路と外付けICとで占めることになり、結果として、基板の小型化或いは限られた基板上領域での画像表示領域の大型化という一般的要請に応えることが困難になる。

【0010】このため、実際には、製造プロセスの検査、評価又は監視用或いは素子評価用の各種パターンや周辺回路が作り込まれた基板上に更に、外付けICを外付けする技術は進んでいないのが実情である。

【0011】本発明は上記課題に鑑みなされたものであり、外付けICを剥がすことなく、その電氣的な検査が実行可能であると共に周辺回路による利益と外付けICによる利益との両方を享受可能な基板装置、該基板装置の電氣的な検査を比較的容易に実行可能である基板装置の検査方法、そのような基板装置を備えてなる電気光学装置及び該電気光学装置を具備してなる電子機器を提供することを課題とする。

【0012】また、本発明は上記別の課題に鑑みなされたものであり、外付けICを外付けしつつ、限られた基板

6

上領域における画像表示領域の広さを確保できる電気光学装置及びその製造方法、並びにそのような電気光学装置を具備してなる電子機器を提供することを課題とする。

【0013】

【課題を解決するための手段】本発明の基板装置は上記課題を解決するために、基板と、該基板上に作り込まれた周辺回路と、前記基板上に配線された第1配線と、前記基板上の前記第1配線上に設けられた接続用部分に接続された第1端子を有する集積回路と、前記基板上の領域のうち前記集積回路に対向する部分を通過するように前記接続用部分から引き出された第2配線と、前記基板上の領域のうち前記集積回路に対向しない部分において前記第2配線上に設けられた第1の外部回路接続端子とを備えることを特徴とする。

【0014】本発明の基板装置によれば、基板上には、周辺回路が作り込まれており、更に集積回路が設置されている。従って、周辺回路については、高温又は低温ポリシリコン、アモルファスシリコン等を半導体層として用いた薄膜トランジスタを基板上に形成する場合に、これと同一工程により、周辺回路を作り込むことができる。他方、このようなトランジスタよりもスイッチング特性や消費電力特性に優れたトランジスタを含んでなる集積回路を基板上に設置できる。従って、基板上の回路として必要な機能の一部分を周辺回路に担わせると共に基板上の回路として必要な機能の他の部分を、同一基板上に設置された集積回路に担わせることができる。これにより、周辺回路における主な利益たる製造及び積層構造の単純化及び小型薄型化と、集積回路における主な利益である高性能化及び低消費電力化との両方を、適当なバランスで享受可能となる。ここで特に、集積回路の第1端子は、第1配線上に設けられた接続用部分に接続されており、この接続用部分から第2配線が、基板上の領域のうち集積回路に対向する部分を通過するように引き出される。更に、基板上の領域のうち集積回路に対向しない部分において、このように引き出された第2配線上に、第1の外部回路接続端子が設けられている。従って、集積回路の第1端子に第2配線を介して接続された第1の外部回路接続端子が、基板上における集積回路から外れた個所に設けられているので、この第1の外部回路接続端子を介して、集積回路と外部検査装置との間で任意の信号の入出力が可能となる。例えば、第1端子を集積回路の出力端子となるように配置すれば、第1の外部回路接続端子において、集積回路の出力特性を外部検査装置により検査できる。

【0015】以上の結果、同一基板上に周辺回路と集積回路とが存在しても、特に集積回路を設置した後に装置故障或いは異常が発生した場合に、集積回路を基板から剥がす必要なく、集積回路から出力される信号を取り出すことが可能なので、どちらの回路が故障しているのか

(5)

7

を検査することが可能となる。即ち、集積回路を剥がして、その出力端子に検査用プローブを当てるなどにより検査する必要はなく、実用上大変便利である。

【0016】このように本発明の基板装置によれば、集積回路を剥がすことなくその電氣的な検査が実行可能であると共に周辺回路による利益と集積回路による利益との両方を享受可能となる。

【0017】本発明の基板装置の一態様では、前記接続用部分は、前記基板上に配置された接続用パッドからなることを特徴とする。

【0018】この態様によれば、接続用パッドからなる接続用部分に、集積回路の第1端子を接合することにより、比較的簡単に、両者間に良好な電氣的接続が取れる。

【0019】本発明の基板装置の他の態様では、前記基板上の領域のうち前記集積回路に対向する部分を通過する第3配線と、前記基板上の領域のうち前記集積回路に対向しない部分において前記第3配線上に設けられた第2の外部回路接続端子とを更に備えており、前記集積回路は、第2端子を更に有すると共に該第2端子が前記第3配線上に設けられた他の接続用部分に接続されていることを特徴とする。

【0020】この態様によれば、集積回路の第2端子は、第3配線上に設けられた接続用パッド等の接続用部分に接続されており、第3配線を介して第2の外部回路接続端子に接続されている。従って、集積回路の第2端子に接続された第2の外部回路接続端子が、基板上における集積回路から外れた個所に設けられているので、集積回路を基板上に設置した後に、この第2の外部回路接続端子を介して、集積回路と外部との間で任意の信号の入出力が可能となる。例えば、第2端子を入力端子となるように配置すれば、第2の外部回路接続端子において、集積回路に、画像信号、制御信号、電源信号等の各種信号を入力できる。

【0021】この態様では、前記第1端子は、前記集積回路の出力端子であり、前記第2端子は、前記集積回路の入力端子であり、前記第1の外部回路接続端子は、前記集積回路の出力信号を取り出すための検査用端子であり、前記第2の外部回路接続端子は、当該基板装置を動作させる各種信号を入力するための動作用端子であるように構成してもよい。

【0022】このように構成すれば、第2の外部回路接続端子において集積回路に外部から各種信号を入力できると共に、第1の外部回路接続端子において集積回路の出力を外部から検査できる。

【0023】上記集積回路が第1端子及び第2端子を有する態様では、前記第1端子及び前記第2端子は、前記集積回路の前記基板に対向する面上に位置するように構成してもよい。

【0024】このように構成すれば、集積回路の実装後には、集積回路の基板に対向する面上に配置されている

8

出力端子や入力端子が、集積回路のパッケージ本体により隠れてしまっているものの、第1の外部回路接続端子において、集積回路の出力を外部から検査可能となる。

【0025】尚、本発明に適用できる集積回路の実装方法としては、COG (Chip on Glass) 法の他に、ワイヤボンディング法、フリップチップ法、ビームリード法等があり、当該方法で実装可能なDIP形、フラットパック形、チップキャリア形等の各種パッケージング形態の集積回路を本発明に適用することができる。いずれの場合にも、集積回路を設置した後も、第1の外部回路接続端子を介して集積回路を検査可能であるので、便利である。但し、上述の集積回路の場合には、第1端子或いは第2端子は、隠れてしまうので本発明は特に有効である。

【0026】この場合更に、前記第1端子及び前記第2端子は夫々、複数設けられていると共に前記集積回路の前記基板に対向する面上において千鳥足状に位置するように構成してもよい。

【0027】このように構成すれば、基板面上で第1端子の配列方向に直角に且つ第2端子の側に向けて第2配線を延設すれば、相隣接する第2端子の間隙を通して第2配線の先端を第2端子と反対の側まで至らせることが可能となる。従って、第2配線と第3配線とが交互に並びつつ夫々第1及び第2の外部回路接続端子に至る構成が得られる。

【0028】尚、この場合、第1及び第2の外部回路接続端子は、千鳥足状に位置するように構成してもよく、このように構成すれば、第1及び第2の外部回路接続端子の形成面積を大きくしても、両者が相互に重ならない構成が得られる。

【0029】但し、複数の第1端子及び第2端子を、このように千鳥足状に配列しなくても、第2配線を第1配線や第2端子を避ける平面パターンを持つように配線すればよい。更に、複数の第1及び第2の外部回路接続端子についても、一列に配列してもよい。

【0030】本発明の基板装置の他の態様では、前記周辺回路は、ポリシリコン薄膜トランジスタを含んでなることを特徴とする。

【0031】この態様によれば、周辺回路は、高温又は低温ポリシリコン薄膜トランジスタを含んでなるので、トランジスタ特性及び消費電力特性に比較的優れた周辺回路を構築しつつ、トランジスタ特性及び消費電力特性に一層優れた集積回路を設置することで、全体として非常に優れた駆動回路等を周辺回路及び集積回路により実現できる。

【0032】本発明の基板装置の他の態様では、前記周辺回路に代えて他の集積回路が前記基板上に設けられていることを特徴とする。

【0033】この態様によれば、基板装置に必要な駆動回路等の機能を、二つの集積回路に分担させることにより、設計上の自由度が増大する。

(6)

9

【0034】本発明の基板装置の検査方法は上記課題を解決するために、上述した本発明の基板装置（但し、その各種態様も含む）を検査する基板装置の検査方法であって、前記集積回路を設置した後に、前記第1の外部回路接続端子に検査用プローブを接触させる工程と、該検査用プローブを介して前記集積回路に対する電気的検査を行う検査工程とを含むことを特徴とする。

【0035】本発明の基板装置の検査方法によれば、当該基板装置の製造後或いは出荷後に、先ず、第1の外部回路接続端子に検査用プローブを接触させ、続いて、該検査用プローブを介して集積回路に対する電気的検査を行う。従って、集積回路を剥がす必要なしに、非常に簡単に集積回路の電気的な検査を実行できる。

【0036】本発明の基板装置の検査方法の一態様では、前記集積回路を設置する前に、前記周辺回路に対する電気的検査を行う他の検査工程を更に含む。

【0037】この態様によれば、当該基板装置の製造工程の途中で、先ず、集積回路を設置する前に、例えば、周辺回路にも接続された第1の外部回路接続端子や、周辺回路に接続された他の外部回路接続端子に検査用プローブを接触させて、該検査用プローブを介して周辺回路に対する電気的検査を行う。従って、集積回路を設置する前には、周辺回路に対する電気的な検査を行うことが可能となり、集積回路を設置した後は、第1の外部回路接続端子を利用して、集積回路に対する電気的な検査を行うことが可能となる。

【0038】本発明の第1の電気光学装置は上記課題を解決するために、上述した本発明の基板装置（但し、その各種態様も含む）上に、画素電極と、該画素電極に接続された薄膜トランジスタと、該薄膜トランジスタに接続されたデータ線及び走査線とを備えており、前記周辺回路及び前記集積回路は夫々、前記データ線及び前記走査線を駆動するための回路を部分的に含む。

【0039】本発明の第1の電気光学装置によれば、データ線及び走査線を介して薄膜トランジスタで画素電極をスイッチング制御することにより、所謂アクティブマトリクス駆動が可能となる。ここで特に、周辺回路に含まれるデータ線及び走査線を駆動するためのデータ線駆動回路、走査線駆動回路等の回路は、部分的に周辺回路に含まれており、且つ部分的に集積回路に含まれている。従って、周辺回路を構成する薄膜トランジスタについては、画素電極をスイッチング制御する薄膜トランジスタと同一工程で作成可能となる。即ち、周辺回路における主な利益たる製造及び積層構造の単純化及び小型薄型化を図れる。他方で、集積回路における主な利益である高性能化及び低消費電力化も図れる。そして特に、上述した本発明の基板装置を備えているので、集積回路を基板上に設置した後であっても、第1の外部回路接続端子において、集積回路を外部から検査できる。

【0040】本発明の第1の電気光学装置の一態様で

10

は、前記周辺回路及び前記集積回路は、前記画素電極が複数配列された画像表示領域の周辺に位置する周辺領域に配置されている。

【0041】この態様によれば、周辺回路及び集積回路の両者が、周辺回路として設けられた基板装置を実現できる。

【0042】本発明の第1の電気光学装置の他の態様では、前記周辺回路は、前記データ線に接続されたサンプリングスイッチ回路を含み、前記集積回路は、前記データ線及び前記走査線を駆動すると共にシフトレジスタを有する駆動回路を含む。

【0043】この態様によれば、集積回路に含まれるシフトレジスタを有する駆動回路によりデータ線及び走査線を駆動しつつ、周辺回路に含まれたサンプリング回路により画像信号をサンプリングすることで、高品位の画像を表示可能となる。

【0044】本発明の第2の電気光学装置は上記別の課題を解決するために、基板上に、画素電極と、該画素電極を駆動するための配線及び電子素子のうち少なくとも一方と、該少なくとも一方に接続された駆動回路の少なくとも一部分を構成すると共に前記基板上に設置される集積回路と、該集積回路の下側に配置された所定パターンとを備える。

【0045】本発明の第2の電気光学装置によれば、画素電極を、例えば走査線、データ線、容量線等の配線や、薄膜トランジスタ、薄膜ダイオード、蓄積容量等の電子素子を介して、駆動回路により、アクティブマトリクス駆動方式やパッシブマトリクス駆動方式で駆動できる。ここで、このような駆動回路の少なくとも一部は、基板上に設置される集積回路から構成されている。従って、電子素子を、例えば、アモルファスシリコン、低温又は高温ポリシリコン等を半導体層として用いた薄膜トランジスタで構成した場合にこの薄膜トランジスタと同一製造プロセスで作成可能な周辺回路から駆動回路を構成する場合と比較して、よりスイッチング性能や低消費電力性能等の各種性能を向上させることが可能となる。そして特に、このような集積回路の下側には、例えば集積回路を設置する前には光学的に或いは視覚的に読取り可能な製造プロセスの評価用のパターン、製造プロセスの検査用のパターン、製造プロセスの監視用のパターン、素子評価用のパターンなどの所定パターンが配置されている。よって、これらの所定パターンと集積回路とが重なる分だけ、当該所定パターンと集積回路とが占める基板上領域を狭めることが可能となる。従って、限られた基板上領域において画素電極が配置される画像表示領域を相対的に広げることが可能となる。

【0046】尚、このような所定パターンは、集積回路を設置する前の製造プロセスで使用されると共に集積回路を設置した後は使用されないように構成してもよい。このように構成によれば、集積回路を設置する領域の大

(7)

11

部分に渡って所定パターンを形成することができる。そして、このように形成した所定パターンは、集積回路を設置した後は使用されないで、結局、所定パターンを形成する領域と集積回路を設置する領域とを完全に重ねることも可能となるので、これら両者が占める基板上領域を非常に効率的に狭めることが可能となる。

【0047】本発明の第2の電気光学装置の他の態様では、前記所定パターンは、製造プロセスの評価、検査及び監視用或いは素子評価用のパターンのうち少なくとも一つを含むと共に前記基板上の領域のうち前記集積回路の入出力端子が接合される接続パッドを除く領域に形成されている。

【0048】この態様によれば、集積回路の入出力端子が接合される接続用パッドを除く領域に、製造プロセスの評価、検査及び監視用或いは素子評価用のパターンのうち少なくとも一つが形成されているので、集積回路を設置する直前の工程に至るまで、所定パターンを利用して、製造プロセスの評価、検査、監視等を行うことができる。

【0049】本発明の第3の電気光学装置は上記別の課題を解決するために、基板上に、画素電極と、該画素電極を駆動するための配線及び電子素子のうち少なくとも一方と、該少なくとも一方に接続された駆動回路の少なくとも一部分を構成すると共に前記基板上に設置される集積回路と、該集積回路の下側に配置されており前記少なくとも一方と一緒に作り込まれた下側回路とを備える。

【0050】本発明の第3の電気光学装置によれば、画素電極を、例えば走査線、データ線、容量線等の配線や、薄膜トランジスタ、薄膜ダイオード、蓄積容量等の電子素子を介して、駆動回路により、アクティブマトリクス駆動方式やパッシブマトリクス駆動方式で駆動できる。ここで、このような駆動回路の少なくとも一部は、基板上に設置された集積回路から構成されている。従って、電子素子を、例えば、アモルファスシリコン、低温又は高温ポリシリコン等を半導体層として用いた薄膜トランジスタで構成した場合にこの薄膜トランジスタと同一製造プロセスで作り込み可能な周辺回路から駆動回路を構成する場合と比較して、よりスイッチング性能や低消費電力性能等の各種性能を向上させることが可能となる。そして特に、このような集積回路の下側には、例えば駆動回路の一部や検査回路などの下側回路が配置されている。よって、これらの下側回路と集積回路とが重なる分だけ、当該下側回路と集積回路とが占める基板上領域を狭めることが可能となる。従って、限られた基板上領域において画素電極が配置される画像表示領域を相対的に広げることが可能となる。

【0051】本発明の第3の電気光学装置の一態様によれば、前記集積回路は、前記駆動回路の一部分を構成し、前記下側回路は、前記駆動回路の他の部分を構成する。

12

【0052】この態様によれば、集積回路から構成された駆動回路の一部と下側回路から構成された駆動回路の他の部分とが、基板上領域内で、重ねられているので、限られた基板上領域において画像表示領域を相対的に広げることが可能となる。

【0053】この場合、前記配線は、データ線及び走査線を含み、前記集積回路は、前記データ線を駆動するデータ線駆動回路を含み、前記下側回路は、前記走査線を駆動する走査線駆動回路及び画像信号をサンプリングして前記データ線に供給するサンプリング回路を含むように構成してもよい。

【0054】このように構成すれば、一般に駆動周波数が高く、高いスイッチング性能等が要求されるデータ線駆動回路については、高性能の集積回路で対処し、一般に駆動周波数が低く、余り高いスイッチング性能等が要求されない走査線駆動回路やサンプリング回路については、下側回路で対処するので、全体として、性能についての過不足を低減しつつ、画像表示領域を効率的に広げることができる。

【0055】或いは本発明の第3の電気光学装置の他の態様によれば、前記下側回路は、検査回路を含む。

【0056】この態様によれば、基板上に形成される電子素子、配線、下側回路等を検査するための検査回路が、集積回路の下側に設けられているので、集積回路を設置する前に、当該検査回路を用いて、これらの電子素子、配線、下側回路等を検査できる。即ち、集積回路を設置した後は、当該検査回路の役目が完了している構成をとることも可能となる。但し、当該検査回路の入出力端子を、基板上における集積回路から外れた個所に設けておけば、集積回路を設置した後であっても、当該検査回路を利用可能である。

【0057】本発明の第3の電気光学装置の他の態様によれば、前記電子素子は、前記画素電極に接続された薄膜トランジスタを含み、前記下側回路は、前記薄膜トランジスタと同一製造プロセスにより製造される薄膜トランジスタを含む。

【0058】この態様によれば、画像表示領域における画素電極に接続された薄膜トランジスタと、下側回路に含まれる薄膜トランジスタとを、同一製造プロセスにより製造するので、基板上における製造プロセス及び積層構造の単純化を図れる。尚、この場合、薄膜トランジスタは、例えばアモルファスシリコン若しくは低温又は高温ポリシリコンからなる半導体層を用いて製造される。

【0059】本発明の第3の電気光学装置の他の態様によれば、前記集積回路と前記下側回路との間に、絶縁膜が形成されている。

【0060】この態様によれば、集積回路のパッケージにおける絶縁性の高低によらずに、集積回路と下側回路との間に形成された絶縁膜により、両者間を確実に絶縁できる。

(8)

13

【0061】本発明の第2又は第3の電気光学装置の他の態様によれば、前記集積回路は、前記画素電極が配置された画像表示領域の周辺に位置する周辺領域に設置される。

【0062】この態様によれば、周辺領域に集積回路が設置されているので、画像表示領域を効率的に広げられる。

【0063】本発明の第2又は第3の電気光学装置の他の態様によれば、前記集積回路は、COG (Chip On Glass) 法により、基板上に設置される。

【0064】この態様によれば、集積回路を設置した後即ち面接合した後は、その下側にある基板面は、パッケージ本体により完全に隠れるが、その下側には、所定パターン或いは下側回路が既に設けられている。従って、上述の如き、所定パターンや下側回路による各種利益を享受できる。

【0065】本発明の第2又は第3の電気光学装置の他の態様によれば、前記集積回路が設置される前記基板上の最上層は、平坦化されている。

【0066】この態様によれば、集積回路の下側には、所定パターンや下側回路の存在に応じて、一般に積層構造中におけるいずれかの層には凹凸が存在するものの、その最上層は、例えばCMP (Chemical Mechanical Polishing: 化学的機械研磨) 処理により或いはスピコートを利用した平坦化膜の形成により、平坦化されている。従って、所定パターンや下側回路の上側に、簡単に集積回路を設置できる。特に、COG型集積回路、フラットパック型集積回路の如く、面実装型の集積回路であっても、平坦な面上に問題なく設置可能となる。

【0067】本発明の第2の電気光学装置の製造方法は上記の課題を解決するために、上述した本発明の第2の電気光学装置 (但し、その各種態様を含む) を製造する電気光学装置の製造方法であって、前記基板上の所定領域に前記所定パターンを形成する第1形成工程と、前記所定パターンに基づいて検査、評価及び監視のうち少なくとも一つを行う検査工程と、前記少なくとも一方及び前記画素電極を形成する第2形成工程と、前記所定領域に前記集積回路を設置する工程とを備える。

【0068】本発明の第2の電気光学装置の製造方法によれば、まず基板上の所定領域に所定パターンを形成し、その後、所定パターンに基づいて検査、評価及び監視のうち少なくとも一つを行い、これと相前後して、配線、電子素子、画素電極等を形成する。そして、これらの工程の後に、所定領域に集積回路を設置する。従って、集積回路を設置する前に所定パターンに基づいて実行可能な検査、評価や監視を完了させることにより、同一領域たる所定領域を、所定パターンを形成する領域及び集積回路を設置する領域として時間差利用できるので、限られた基板上領域を有効利用する観点から非常に有利となる。

14

【0069】本発明の第3の電気光学装置の製造方法は上記の課題を解決するために、上述した本発明の第3の電気光学装置 (但し、その各種態様を含む) を製造する電気光学装置の製造方法であって、前記基板上の所定領域に前記周辺回路を形成し、前記少なくとも一方を形成し、前記画素電極を形成する形成工程と、前記所定領域に前記集積回路を設置する工程とを備える。

【0070】本発明の第3の電気光学装置の製造方法によれば、まず基板上の所定領域に下側回路、配線、電子素子、画素電極等を形成する。そして、これらの工程の後に、所定領域に集積回路を設置する。従って、同一領域たる所定領域を、下側回路を形成する領域及び集積回路を設置する領域として二重に利用できるので、限られた基板上領域を有効利用する観点から非常に有利となる。

【0071】本発明の第2の電気光学装置の他の態様では、前記所定パターンは、アライメントマーク及び識別マークのうち少なくとも一つを含む。

【0072】この態様によれば、前記所定パターンは、基板の位置合わせ等に用いられるアライメントマークや、当該基板のロットナンバー等を識別する識別マーク等を含む。このような各種マーク等は、電気光学装置の製造段階において比較の後段に実施される外付け集積回路の取り付け工程以前において、その使命を果たし終えていることが通例である。ところが、従来、これら各種マーク等は、電気光学装置が最終的に製造を終えた段階にあっても、基板上に見える形で残存することがあったため、その分の基板上の領域を無駄に使用することとなっていた。

【0073】そこで、本態様では、前記所定パターンがアライメントマークや識別マーク等を含むことにより、これら各種マークは、集積回路の下側に配置されることになるので、これら各種のマークと集積回路とが重なる分だけ、当該各種パターンと集積回路とが占める基板上領域を狭めることが可能となる。しかも、この場合、上述したように、もはや無用となったアライメントマークや識別マーク等が集積回路に覆われることとなるのみで、実質的な不都合が生じるおそれもない。

【0074】従って、本態様によれば、限られた基板上領域において画素電極が配置される画像表示領域を相対的に広げることが可能となる。

【0075】また、本発明の第3の電気光学装置の他の態様では、前記下側回路には回路素子が含まれ、該回路素子から引き出された引出配線と、前記基板上の領域のうち前記集積回路に対向しない部分において前記引出配線に接続された下側回路用外部回路接続端子とを更に備えている。

【0076】この態様によれば、例えば検査回路等を含む下側回路に薄膜トランジスタ、薄膜ダイオード等の回路素子が含まれ、該回路素子からは引出配線、下側回路用外部回路接続端子が連なっている。したがって、本態

(9)

15

様では、集積回路を基板上に取り付けた後においても、基板上の下側回路として又は下側回路中に作り込んだ回路素子の活用を図ることができる。例えば、該下側回路がTEG (Test Element Group) や検査回路を構成する場合においては、当該電気光学装置に対して前記集積回路を設置した後にも、その検査を実施することができ

る。

【0077】本発明の第4の電気光学装置は上記課題を解決するために、基板と、該基板上に作り込まれた周辺回路と、前記基板上に配線された第1配線と、前記基板上の第1端子が前記第1配線上に設けられた接続用部分に接続された第1端子を有する集積回路と、前記基板上の領域のうち前記集積回路に対向する部分を通過するように前記接続用部分から引き出された第2配線と、前記基板上の領域のうち前記集積回路に対向しない部分において前記第2配線上に設けられた第1の外部回路接続端子とを備えるとともに、前記基板上に、画素電極と、該画素電極を駆動するための配線及び電子素子のうち少なくとも一方とを備えており、前記集積回路は、前記少なくとも一方に接続された駆動回路の少なくとも一部分を構成すると共に前記基板上に設置されており、前記集積回路の下側には所定パターン又は下側回路が配置されている。

【0078】本発明の第4の電気光学装置によれば、上述の本発明の第1の電気光学装置が具備せる要件と第2又は第3の電気光学装置が具備せる要件とを併せもつ態様となる。したがって、本発明によれば、本発明の第1の電気光学装置に関する説明中に述べた作用効果、すなわち集積回路を剥がすことなくその電気的な検査が実行可能であると共に周辺回路による利益と集積回路による利益との両方を享受可能であると同時に、本発明の第2又は第3の電気光学装置に関する説明中に述べた作用効果、すなわち集積回路の下側に所定パターン又は下側回路が配置されていることにより、これらの所定パターン又は下側回路と集積回路とが重なる分だけ、当該所定パターン又は当該下側回路とが占める基板上領域を狭めることが可能となり、限られた基板上領域において画素電極が配置される画像表示領域を相対的に広げることが可能となる。

【0079】つまり、本発明の第1及び第2又は第3の電気光学装置が具備せる要件を併せもてば、上述の各作用効果が同時に奏されることは勿論、例えば、小型薄型化とともに画像表示領域の拡大化をも図れることにより、より小型でありながら、より大きな画像を表示するという相反する要請を同時に満たす電気光学装置を提供することができる。

【0080】なお、本発明に言う「周辺回路」と「下側回路」とは、前者が後者に含まれ、又は後者が前者に含まれる関係にある形態と捉えてよい。

【0081】本発明の電子機器は上記課題を解決するた

16

めに、上述した本発明の第1の電気光学装置（但し、その各種態様を含む）、本発明の第2又は第3の電気光学装置（但し、その各種態様を含む）又は第4の電気光学装置を具備する。

【0082】本発明の電子機器によれば、上述した本発明の第1の電気光学装置を具備するので、高品位の画像表示が可能であって、集積回路を剥がすことなく該集積回路を検査可能な、液晶テレビ、携帯電話、電子手帳、ワードプロセッサ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、ワークステーション、テレビ電話、POS端末、タッチパネル、投射型表示装置などの各種電子機器を実現できる。

【0083】また、本発明の電子機器によれば、上述した本発明の第2又は第3の電気光学装置を具備するので、本体サイズに比べて画像表示領域が広い或いは小型化可能な、液晶テレビ、携帯電話、電子手帳、ワードプロセッサ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、ワークステーション、テレビ電話、POS端末、タッチパネル、投射型表示装置などの各種電子機器を実現できる。

【0084】さらに、本発明の電子機器によれば、上述した本発明の第4の電気光学装置を具備するので、前記の二つの作用効果が同時に奏される上記各種電子機器を実現できる。

【0085】本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにされる。

【0086】

【発明の実施の形態】（基板装置の第1実施形態）先ず、本発明の基板装置に係る第1の実施形態について図1から図5を参照して説明する。ここに図1は、本発明の基板装置の第1実施形態における外付けIC付近の3次元的部分分解斜視図であり、図2は、この外付けICを設置する領域付近における基板装置の部分平面図であり、図3は、比較例における外付けICを設置する領域付近の部分平面図である。更に、図4は、一変形形態における外付けICを設置する領域付近の部分平面図であり、図5は、他の変形形態における外付けICを設置する領域付近の部分平面図である。

【0087】第1実施形態の基板装置は、後述の電気光学装置の一例たる液晶装置における周辺回路とCOG型ICとを備えたTFTアレイ基板として好適に用いられるものである。即ち、第1実施形態の基板装置では、外付けICの一例としてCOG型ICが外付けされ、このCOG型ICと周辺回路とにより、液晶装置の駆動回路が構成される。

【0088】図1及び図2において、第1実施形態の基板装置200Aは、TFTアレイ基板10と、TFTアレイ基板10上に作り込まれた周辺回路の一例としての走査線駆動回路104及びサンプリング回路118と、TFTアレイ基板10上に配線された第1配線201、

(10)

17

第2配線202及び第3配線203と、TFTアレイ基板10上に外付けされた外付けICの一例たるCOG型ICから構成されたデータ線駆動回路101とを備える。

【0089】走査線駆動回路104は、画像表示領域10a内に設けられた図示しない走査線を駆動する駆動回路である。サンプリング回路118は、図示しない画像信号線上の画像信号をサンプリングして、画像表示領域10a内に設けられた図示しないデータ線に供給するサンプリングスイッチを備えた回路である。データ線駆動回路101は、第1端子の一例たる出力端子221と、第2端子の一例たる入力端子222とを有するCOG型ICから構成されている。周辺回路の一例を構成する走査線駆動回路104及びサンプリング回路118は、例えば、後述の如く画像表示領域10a内に作り込まれる画素スイッチング用のTFTと同一製造工程で製造される高温又は低温ポリシリコンTFTを含んでなる。

【0090】これらの走査線駆動回路104、サンプリング回路118及びデータ線駆動回路101並びに画像表示領域10aについては、後述の電気光学装置の実施形態のところで詳述する。

【0091】データ線駆動回路101の出力端子221は、TFTアレイ基板10上でデータ線駆動回路101を設置する領域101S（図2中、破線で示された長方形領域）内において第1配線201上に設けられた接続用部分の一例たる接続パッド211に接続される。データ線駆動回路101の入力端子222は、TFTアレイ基板10上でデータ線駆動回路101を設置する領域101S内において第3配線203上に設けられた他の接続用部分の一例たる接続パッド212に接続される。

【0092】第1配線201は、TFTアレイ基板10上の領域101Sを通過して、接続パッド211からサンプリング回路118まで配線されている。

【0093】第2配線202は、TFTアレイ基板10上の領域101Sを通過して、接続パッド211から基板10の縁に沿って配列された第1の外部回路接続端子102aまで配線されている。

【0094】第3配線203は、TFTアレイ基板10上の領域101Sを通過して、接続パッド212から基板10の縁に沿って配列された第2の外部回路接続端子102bまで配線されている。

【0095】即ち、第1実施形態では、TFTアレイ基板10の縁に沿って、第1の外部回路接続端子102a及び第2の外部回路接続端子102bを含む外部回路接続端子102が設けられている。そして、これらの外部回路接続端子102は、TFTアレイ基板10上の領域101Sから外れた位置に設けられている。

【0096】次に、以上の如く構成された基板装置200Aの検査方法について説明する。

【0097】まず、COG型ICからなるデータ線駆動

18

回路101を外付けする前に、第1の外部接続端子102a及び第2の外部接続端子102bを介して、周辺回路たる走査線駆動回路104及びサンプリング回路118並びに画像表示領域10a内に設けられた後述のデータ線、走査線、画素スイッチング用TFT、容量線、蓄積容量等に対する電気的な検査を行う。

【0098】その後、COG型ICからなるデータ線駆動回路101を外付けした後に、或いは当該基板装置200Aやこれを備えた電気光学装置の完成後に、更に出荷後における故障や異常時に、第1の外部回路接続端子102aに検査用プローブを接触させる。そして、この検査用プローブを介して、外付けICたるデータ線駆動回路101に対する電気的検査を行う。より具体的には、基本的な導通性検査、絶縁性検査の他に、データ線駆動回路101の入力端子222につながっている第2の外部回路接続端子102bに画像信号、制御信号、電源信号等の所定種類の入力信号を入力して、データ線駆動回路101の出力端子221につながっている第1の外部回路接続端子102aから出力される出力信号を正常時に得られる筈の出力信号と比較するなど各種の検査を行える。

【0099】これに対し、図3に示した比較例のように、第1実施形態の構成において第2配線202及び第1の外部回路接続端子102aが設けられていない構成の場合、外付けICたるデータ線駆動回路101を一旦外付けした後は、データ線駆動回路101をTFTアレイ基板10から剥がない限り、この出力を検査することは事実上不可能である。しかも、動作不良が生じた場合、内臓回路たる走査線駆動回路及びサンプリング回路等の周辺回路の故障かあるいは外付けICの故障か分離できない。

【0100】以上説明したように第1実施形態の基板装置200Aによれば、TFTアレイ基板10上の回路として必要な機能の一部分を周辺回路たるサンプリング回路118及び走査線駆動回路104に担わせると共にTFTアレイ基板10上の回路として必要な機能の他の部分を外付けICたるデータ線駆動回路101に担わせることができる。そして、装置故障或いは異常が発生した場合に、外付けICをTFTアレイ基板10から剥がす必要なく、第1の外部回路接続端子102aを介して、外付けICたるデータ線駆動回路101の出力信号を外部検査装置により検査できる。

【0101】しかも、第1実施形態では、データ線駆動回路101は、COG型ICからなるので、その実装後には、COG型ICの実装面上に配置されている出力端子221や入力端子222が、COG型ICのパッケージ本体により隠れてしまっている。しかしながら、第1の外部回路接続端子102aにおいて、このようにデータ線駆動回路101を構成するCOG型ICの出力信号及び周辺回路を外から問題なく検査できる。

(11)

19

【0102】尚、データ線駆動回路101を、COG型ICに代えて、ワイヤボンディング法、フリップチップ法、ビームリード法等で実装可能なDIP形、フラットパック形、チップキャリア形等の各種パッケージング形態の集積回路から構成して、TFTアレイ基板10に外付けすることも可能である。いずれの場合にも、データ線駆動回路101を外付け後にも、第1の外部回路接続端子102aを介してデータ線駆動回路101及び周辺回路を比較的簡単に検査できる。

【0103】更に、第1実施形態では、周辺回路からなるサンプリング回路118及び走査線駆動回路104に代えて、他の外付けICからなるサンプリング回路118及び走査線駆動回路104を外付けすることも可能である。このように構成しても、TFTアレイ基板10に必要な駆動回路の機能を、二つの外付けICに分担させることにより、設計上の自由度が増大する。尚、この場合、TFTアレイ基板10は、ガラス基板、石英基板の他に、テープ基板等でもよく、外付けICとしては、例えば、TAB (Tape Automated Bonding) 形を使用してもよい。このように構成しても、外付けICからなるデータ線駆動回路101を外付け後に剥がすことなく、該データ線駆動回路101を第1の外部接続端子102aにおいて外部から検査できるという利益は得られる。

【0104】第1実施形態では特に、データ線駆動回路101を構成するCOG型ICの複数の出力端子221及び複数の入力端子222は夫々、COG型ICの実装面において千鳥足状に位置している。従って、図1及び図2から分かるように、これらの出力端子221及び入力端子222に対応する接続パッド211及び212から直線的に延びる第2配線202及び第3配線203は、交互に並ぶこととなり、しかも第1の外部回路接続端子102a及び第2の外部回路接続端子102bも交互に並ぶ。従って、配線同士や外部回路接続端子同士が重なるという不都合を効率的に未然防止できる。

【0105】但し、図4に示した変形形態のように、データ線駆動回路101を構成するCOG型ICの複数の出力端子221及び複数の入力端子222は夫々、COG型ICの実装面において正対して位置していてもよい。即ち、この場合には、接続パッド211'及び212'も正対するが、接続パッド211'から延びる第2配線202'を接続パッド212'や第3配線203を避ける平面パターンを持つように配線すればよい。

【0106】或いは、図5に示した変形形態のように、第1外部回路接続端子102a'及び第2の外部回路接続端子102b'を、TFTアレイ基板10の縁に沿って一列に配列してもよい。即ち、第1外部回路接続端子102a'及び第2の外部回路接続端子102b'のピッチが十分に大きい限りにおいて、これらの端子を全て一列に並べて、外部回路によるこれらの端子への接続を一層容易ならしめることが可能となる。

20

【0107】(基板装置の第2実施形態) 以下では、本発明の基板装置に係る第2の実施形態について図6から図9を参照して説明する。ここに、図6は、基板装置の第2の実施形態における外付けIC付近の3次元的部分分解斜視図であり、図7は、この外付けICを外付けする領域付近における基板装置の部分平面図であり、図8は、図6のC1-C1'断面図であり、図9は、図6のD-D'断面図における製造プロセスを示す工程図である。

【0108】図6から図8及び図9の工程(4)に示すように、第2実施形態の基板装置200Bは、TFTアレイ基板10を備えている。このTFTアレイ基板10上には、周辺回路の一例としての走査線駆動回路104及びサンプリング回路118が作り込まれている。データ線駆動回路101を外付けする領域101S (図7参照) 内において、TFTアレイ基板10上に配線されたサンプリング回路駆動信号線114の先端には、接続パッド211が設けられている。データ線駆動回路101を外付けする領域101S内において、外部回路接続端子102から延びる配線203の先端には、接続パッド212が設けられている。

【0109】TFTアレイ基板10上に外付けされるデータ線駆動回路101は、出力端子221及び入力端子222を有するCOG型ICから構成されている。そして、出力端子221が接続パッド211に接合され、入力端子222が接続パッド212に接続されるように、データ線駆動回路101は、これを外付けする領域101Sに面実装される。

【0110】他方、走査線駆動回路104及びサンプリング回路118は、例えば、後述の如く画像表示領域10a内に作り込まれる画素スイッチング用のTFTと同一製造工程で製造される高温又は低温ポリシリコンTFTを含んでなり、TFTアレイ基板10上に周辺回路として作り込まれる。

【0111】第2実施形態では特に、データ線駆動回路101の下側には、製造プロセスの検査、評価又は監視用或いは素子評価用のパターン230が形成されている。パターン230は、データ線駆動回路101を外付けする前には、光学的に或いは視覚的に読取り可能なように構成されている。従って、データ線駆動回路101を外付けする直前の工程に至るまで、パターン230を利用して、製造プロセスの評価、検査、監視或いは素子評価等を行うことができる。また、第2実施形態では、パターン230は、データ線駆動回路101を外付した後は使用されない。従って、図6及び図7に示したように、データ線駆動回路101を外付けする領域101Sの大部分に渡ってパターン230を形成できる。即ち、パターン230は、データ線駆動回路101を外付した後は、このパッケージ本体により隠れてしまうものの、製造プロセスの評価、検査又は監視用或いは素子評価用の

(12)

21

パターンとしての役目は、この時点では完了しているので、何ら問題はない。

【0112】以上のように第2実施形態では、パターン230とデータ線駆動回路101とが重なる分だけ、これらが占める基板上領域を狭められる。従って、TFTアレ基板10上における周辺領域を狭めると共に相対的に画像表示領域10aを広げられる。この結果、小型化及び大画面化が図られた電気光学装置を実現できる。

【0113】第2実施形態では特に、図8及び図9の工程(4)に示すように、データ線駆動回路101の下側には、後述の画像表示領域における層間絶縁膜構造と同じく、下地絶縁膜12、第1層間絶縁膜41、第2層間絶縁膜42及び第3層間絶縁膜43が積層されている。更に、これらの層間絶縁膜間に積層された島状の膜片からパターン230が構成されており、これらの層間絶縁膜間に積層された導電膜から、サンプリング回路駆動信号線114及び配線203が形成されている。これらのパターンや配線も、画像表示領域内における配線やTFT等を構成する導電膜と同一膜からなることが好ましい。即ち、このように構成すれば、TFTアレ基板10上における製造プロセス及び積層構造を単純化できる。

【0114】尚、図8及び図9の工程(4)では、TFTアレ基板10と下地絶縁膜12との間の層間位置に、パターン230を形成している。しかしながら、パターン230の積層位置は任意であり、製造プロセスの検査、評価又は監視用或いは素子評価といった個別目的に適した、第1層間絶縁膜41、第2層間絶縁膜42及び第3層間絶縁膜43のいずれかの層間位置に、パターン230を適宜形成すればよい。

【0115】更に第2実施形態では特に、図8及び図9の工程(4)に示すように、COG型ICからなるデータ線駆動回路101の実装面となる第3層間絶縁膜43の上面は、例えばCMP処理により或いはスピコートを利用した平坦化膜の形成により、平坦化されている。従って、パターン230の上側に重ねてデータ線駆動回路101を面実装しても、実装面の凹凸により不安定化することはない。

【0116】次に、以上の如く構成された第2実施形態に係る電気光学装置の製造方法について図9を参照して説明する。

【0117】先ず図9の工程(1)では、ガラス基板、石英基板等の絶縁性基板を用意して、TFTアレ基板10とする。

【0118】次に、工程(2)では、TFTアレ基板10上にパターン230を形成する。このようなパターン230は、例えば、高融点金属膜をスパッタリングにより形成した後、フォトリソグラフィ及びエッチングによりパターンニングすればよい。その後、このパターン230上に下地絶縁膜230を形成する。

【0119】次に、工程(3)では、画像表示領域内に

22

において、各種の半導体膜、導電膜等から後述の如き構成を有するデータ線6a、走査線3a、TFT30等が形成される。そして、これらを層間絶縁する第1層間絶縁膜41、第2層間絶縁膜42及び第3層間絶縁膜43が順次形成される。その後、第3層間絶縁膜43に対しては、CMP処理を施すことにより、平坦化する。或いは、スピコート等により、第3層間絶縁膜43を平坦化膜として形成する。

【0120】第2実施形態では特に、これらの工程

(2)から工程(3)において、各種の半導体膜、導電膜等から、後述の如き構成を有するデータ線6a、走査線3a、TFT30等を形成する際に、パターン230を使用して、それらの位置決めや間隔などを検査、評価、監視したり、各導電膜や各絶縁膜の膜厚の変化を検査、評価、監視したり、画像表示領域内或いは周辺回路を構成する素子を評価等したりする。

【0121】その後、工程(4)では、パターン230を用いたプロセスの検査、評価、監視或いは素子評価等が終了した後に、領域101Sに、データ線駆動回路101を外付けする。

【0122】従って、本製造プロセスによれば、同一領域たるデータ線駆動回路101を外付けする領域101Sを、パターン230を形成する領域及びデータ線駆動回路101を外付けする領域として時間差利用できる。

【0123】以上説明したように第2実施形態の電気光学装置によれば、TFTアレ基板10上の回路として必要な機能の一部分を周辺回路たるサンプリング回路118及び走査線駆動回路104に担わせると共にTFTアレ基板10上の回路として必要な機能の他の部分を外付けICたるデータ線駆動回路101に担わせることができる。そして、データ線駆動回路101を外付けする領域101Sを、パターン230を形成する領域としても用いるので、限られた基板上領域の効率的な利用を図ることができ、画像表示領域を広げることが可能となる。

【0124】次に、図10を参照して、変形形態について説明する。図10は、変形形態における図7のC1-C1'断面図である。

【0125】図10において、COG型ICからなるデータ線駆動回路101の下側には、パターン230に代えて、TFT240を含んでなる周辺回路250を備えて構成されている。TFT240は、半導体層241、ゲート絶縁膜242、ゲート電極243、ソース電極244及びドレイン電極245を備えるが、このようなTFT240は、好ましくは画像表示領域10aにおけるTFT30と同一製造プロセスにより、同一膜から構成されるものである。周辺回路250は、例えば、サンプリング回路118、走査線駆動回路104等の駆動回路の一部でもよいし、検査回路であってもよい。その他の構成については、上述した実施形態と同様である。

(13)

23

【0126】従って、この変形形態によれば、画像表示領域10aにおける例えば、低温又は高温ポリシリコン等を半導体層として用いたTFT30と同一製造プロセスで作り込み可能な周辺回路からデータ線駆動回路101を構成する場合と比較して、スイッチング性能や低消費電力性能に優るデータ線駆動回路101を外付けICとして構築できる。そして特に、このようなデータ線駆動回路101の下側には、スイッチング性能や低消費電力性能に対する要求の相対的に低い駆動回路の一部や検査回路などの周辺回路250が配置されている。従って、全体として無駄なく高性能の駆動回路や周辺回路をTFTアレ基板10上に構築できると同時に、画像表示領域10aを相対的に広げることも可能となる。

【0127】尚、周辺回路250は、接続パッド211及び212並びに配線203及びサンプリング回路駆動信号線114を除く領域に形成されていてもよい。或いは、これらのいずれかの接続パッドや配線の下側に、絶縁膜を介して、周辺回路250を少なくとも部分的に形成してもよい。

【0128】また、周辺回路250を、データ線駆動回路101を外付けする前に行われる検査専用の検査回路としてもよいし、データ線駆動回路101の外付けと前後を問わずに行われる検査専用の検査回路としてもよい。

【0129】上述の第2実施形態及び変形形態では夫々、データ線駆動回路101を、COG型ICに代えて、ワイヤボンディング法、フリップチップ法、ビームリード法等で実装可能なDIP形、フラットパック形、チップキャリア形等の各種パッケージング形態の集積回路から構成して、TFTアレ基板10に外付けすることも可能である。いずれの場合にも、パターン230又は周辺回路250とデータ線駆動回路101とを同一領域に配置することによる省スペース化の利益は得られる。

【0130】更に、第2実施形態及び変形形態では夫々、周辺回路からなるサンプリング回路118及び走査線駆動回路104に代えて、他の外付けICからなるサンプリング回路118及び走査線駆動回路104を外付けすることも可能である。このように構成しても、TFTアレ基板10に必要な駆動回路の機能を、二つの外付けICに分担させることにより、設計上の自由度が増大する。尚、この場合、TFTアレ基板10は、ガラス基板、石英基板の他に、テープ基板等でもよく、外付けICとしては、例えば、TAB (Tape Automated Bonding) 形を使用してもよい。このように構成しても、パターン230又は周辺回路250とデータ線駆動回路101とを同一領域に配置することによる省スペース化の利益は得られる。

【0131】(基板装置の第3実施形態) 以下では、本発明の基板装置に係る第3の実施形態について図11から図13を参照して説明する。ここに、図11は、本発

24

明の基板装置の第3実施形態における外付けIC付近の3次元的部分分解斜視図であり、図12は、この外付けICを設置する領域付近における基板装置の部分平面図であり、図13は、図12のC2-C2断面図である。

【0132】なお、この第3実施形態は、上述の第1及び第2実施形態に係るTFTアレ基板10の応用形態的な側面を有している。したがって、第3実施形態に係る構成は、上記第1及び第2実施形態に係る構成と略同一の構成を有しているため、図11から図13において図10までで使用された符号と同一の符号が付されている構成については、その説明を省略ないし簡略化することとし、以下では、第3実施形態において特徴的な構成について特に説明を加えることとする。

【0133】図11ないし図13において、第3実施形態の基板装置200Cは、TFTアレ基板10を備えている。そして、このTFTアレ基板10上のデータ線駆動回路101を外付けする領域101S内、かつ、データ線駆動回路101の下側には、TFT240を含んでなる周辺回路250が備えられている。TFT240は、半導体層241、ゲート絶縁膜242、ゲート電極243、ソース電極244及びドレイン電極245を備えるが、このようなTFT240は、好ましくは画像表示領域10aにおけるTFT30と同一製造プロセスにより、同一膜から構成されるものである。

【0134】したがって、まず、この第3実施形態によっても上記第2実施形態と同様に、画像表示領域10aにおける例えば、低温又は高温ポリシリコン等を半導体層として用いたTFT30と同一製造プロセスで作り込み可能な周辺回路からデータ線駆動回路101を構成する場合と比較して、スイッチング性能や低消費電力性能に優るデータ線駆動回路101を外付けICとして構築できる。そして特に、このようなデータ線駆動回路101の下側には、スイッチング性能や低消費電力性能に対する要求の相対的に低い駆動回路の一部や検査回路などの周辺回路250が配置されている。従って、全体として無駄なく高性能の駆動回路や周辺回路をTFTアレ基板10上に構築できると同時に、画像表示領域10aを相対的に広げることも可能となる。

【0135】そして第3実施形態では特に、このTFT240を構成するゲート電極242、ソース電極244及びドレイン電極245には引出配線900の一端が接続されている。また、TFTアレ基板10上には、上記第1実施形態における基板装置200Aにおいて外部回路接続端子102が配列されていたのと略同様にして、本発明にいう「下側回路用外部回路接続端子」の一例たるTFT用端子902、904及び906が形成されており、該TFT用端子902、904及び906にはそれぞれ引出配線900の他端が接続されている。

【0136】このように、第3実施形態の基板装置200

(14)

25

OCによれば、データ線駆動回路101の下側にTFT240が作り込まれるとともに、該TFT240のゲート電極242、ソース電極244及びドレイン電極245はそれぞれ、TFT用端子902、904及び906を通じて、外部から制御可能とされている。したがって、第3実施形態によれば、データ線駆動回路101を取り付けた後においても、該TFT240の有効利用が可能となる。例えば、該TFT240が検査回路の一部を構成しているならば、基板装置200Cないし周辺回路250の動作検査等を、出荷時点において、あるいは出荷後使用中のメンテナンス時点等においても、なお実施することができる。

【0137】また、第3実施形態によれば、周辺回路250が含むTFT240等の回路素子に対して、上述のように引出配線及び下側回路用外部回路接続端子が設けられることにより、外付けICたるデータ線駆動回路101及び周辺回路250間の役割分担をより柔軟に設定することができ、設計の自由度を高めることができる。

【0138】なお、第3実施形態として示した上述のような構成例は、単なる一例を示しているに過ぎない。例えば、上述においては、TFT240のすべての電極に対して引出配線が接続され、かつ、それらすべてに対応するようにTFT用端子902、904及び906が設けられていたが、本発明は、このような形態に限定されない。外部から制御しようとする電極についてのみ、引出配線及び下側回路用外部回路接続端子が設けられていればよい。また、より広くは、引出配線が接続されるべき回路素子はTFTに限られない。薄膜ダイオードやコンデンサ等その他の回路素子がそれに該当し得ることも当然である。

【0139】また、上述においては、上記第1、第2及び第3実施形態それぞれが有する特徴に着目して、これらを別個の形態として説明したが、本発明は、このような別個の形態にのみ限定されるものではない。例えば、第1及び第2実施形態の特徴を併せもつ形態であるとか、第2及び第3実施形態、又は、第1及び第3実施形態の特徴を併せもつ形態となる電気光学装置であっても、それが本発明の範囲内にあることは当然である。むしろ、第1、第2及び第3実施形態の有する特徴すべてを併せもつ電気光学装置もまた、本発明の範囲内にある。

【0140】（電気光学装置の全体構成）次に、本発明の電気光学装置に係る実施形態について図14から図18を参照して説明する。本実施形態の電気光学装置は、上述した基板装置200をTFTアレイ基板側に備えた液晶装置からなる。

【0141】先ず、本実施形態の電気光学装置の全体構成について、図14及び図15を参照して説明する。ここでは、電気光学装置の一例である駆動回路内蔵型のTFTアクティブマトリクス駆動方式の液晶装置を例にと

26

る。図14は、TFTアレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図であり、図15は、図14のH-H'断面図である。

【0142】図14及び図15において、本実施形態に係る電気光学装置では、TFTアレイ基板10と対向基板20とが対向配置されている。TFTアレイ基板10と対向基板20との間に液晶層50が封入されており、TFTアレイ基板10と対向基板20とは、画像表示領域10aの周囲に位置するシール領域に設けられたシール材52により相互に接着されている。シール材52は、両基板を貼り合わせるために、例えば熱硬化樹脂、熱及び光硬化樹脂、光硬化樹脂、紫外線硬化樹脂等からなり、製造プロセスにおいてTFTアレイ基板10上に塗布された後、加熱、加熱及び光照射、光照射、紫外線照射等により硬化させられたものである。

【0143】このようなシール材52中には、両基板間の間隔（基板間ギャップ）を所定値とするためのガラスファイバ或いはガラスビーズ等のギャップ材が混合されている。即ち、本実施形態の電気光学装置は、プロジェクタのライトバルブ用として小型で拡大表示を行うのに適している。但し、当該電気光学装置が液晶ディスプレイや液晶テレビのように大型で等倍表示を行う液晶装置であれば、このようなギャップ材は、液晶層50中に含まれてもよい。

【0144】対向基板20の4隅には、上下導通材106が設けられており、TFTアレイ基板10に設けられた上下導通端子と対向基板20に設けられた対向電極21との間で電気的な導通をとる。

【0145】図14及び図15において、シール材52が配置されたシール領域の内側に並行して、画像表示領域10aを規定する遮光性の額縁53が対向基板20側に設けられている。額縁53はTFTアレイ基板10側に設けても良いことは言うまでもない。画像表示領域の周辺に広がる周辺領域のうち、シール材52が配置されたシール領域の外側部分には、データ線駆動回路101及び外部回路接続端子102がTFTアレイ基板10の一辺に沿って設けられており、走査線駆動回路104が、この一辺に隣接する2辺に沿って設けられている。更にTFTアレイ基板10の残る一辺には、画像表示領域10aの両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられている。

【0146】図15において、TFTアレイ基板10上には、画素スイッチング用のTFTや走査線、データ線等の配線が形成された後の画素電極9a上に、配向膜が形成されている。他方、対向基板20上には、対向電極21の他、最上層部分に配向膜が形成されている。また、液晶層50は、例えば一種又は数種類のネマティック液晶を混合した液晶からなり、これら一対の配向膜間で、所定の配向状態をとる。

【0147】本実施形態では、額縁53下にあるTFT

(15)

27

アレイ基板10上の領域に、サンプリング回路118が設けられている。サンプリング回路118は、画像信号線上の画像信号をデータ線駆動回路101から供給されるサンプリング回路駆動信号に応じてサンプリングしてデータ線に供給するように構成されている。

【0148】本実施形態では特に、データ線駆動回路101は、COG型ICからなり、TFTアレイ基板10上に外付けされたものである。他方、走査線駆動回路104及びサンプリング回路118は、TFTアレイ基板10に内蔵されており、後述の如く画像表示領域内において画素毎に設けられる画素スイッチング用TFTと同一製造プロセスにより、形成されたTFTを含んで構成されている。

【0149】(電気光学装置の回路構成及び動作)次に以上の如く構成された電気光学装置における回路構成及び動作について図16を参照して説明する。図16は、電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路と周辺回路とを示すブロック図である。

【0150】図16において、本実施形態における電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素には夫々、画素電極9aと当該画素電極9aをスイッチング制御するためのTFT30とが形成されており、画像信号が供給されるデータ線6aが当該TFT30のソースに電気的に接続されている。

【0151】画像表示領域10a外である周辺領域には、データ線6aの一端(図16中で下端)が、サンプリング回路118の例えばTFTからなる各スイッチング素子のドレインに接続されている。他方、画像信号線115は、引き出し配線116を介してサンプリング回路118のTFTのソースに接続されている。データ線駆動回路101に接続されたサンプリング回路駆動信号線114は、サンプリング回路118のTFTのゲートに接続されている。そして、画像信号線115上の画像信号S1、S2、…、Snは、データ線駆動回路101からサンプリング回路駆動信号線114を介してサンプリング回路駆動信号が供給されるのに応じて、サンプリング回路118によりサンプリングされて各データ線6aに供給されるように構成されている。

【0152】このようにデータ線6aに書き込む画像信号S1、S2、…、Snは、この順に線順次供給しても構わないし、相隣接する複数のデータ線6a同士に対して、グループ毎に供給するようにしても良い。

【0153】また、画素スイッチング用のTFT30のゲートに走査線3aが電気的に接続されており、所定のタイミングで、走査線3aにパルスの走査信号G1、G2、…、Gmを、走査線駆動回路104により、この順に線順次で印加するように構成されている。画素電極9aは、TFT30のドレインに電気的に接続されており、スイッチング素子であるTFT30を一定期間だけ

28

そのスイッチを閉じることにより、データ線6aから供給される画像信号S1、S2、…、Snを所定のタイミングで書き込む。画素電極9aを介して電気光学物質の一例としての液晶に書き込まれた所定レベルの画像信号S1、S2、…、Snは、対向基板に形成された対向電極21との間で一定期間保持される。液晶は、印加される電位レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリーホワイトモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が減少し、ノーマリーブラックモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が増加され、全体として電気光学装置からは画像信号に応じたコントラストを持つ光が出射する。ここで、保持された画像信号がリークするのを防ぐために、画素電極9aと対向電極21との間に形成される液晶容量と並列に蓄積容量70を付加する。

【0154】尚、TFTアレイ基板10上には、これらの走査線駆動回路104、サンプリング回路118等に加えて、複数のデータ線6aに所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、製造途中や出荷時の当該電気光学装置の品質、欠陥等を検査するための検査回路等を形成してもよい。

【0155】即ち、このような各種回路を、図1、図6及び図11に示した基板装置200A、200B及び200Cに周辺回路として作り込んでもよいし、外付けICとして外付けしてもよい。

【0156】より具体的には、上述のようなプリチャージ回路、検査回路等の周辺回路を、走査線駆動回路104及びサンプリング回路118に加えて又は代えて、周辺回路として、TFTアレイ基板10に作り込んでもよい。或いは、このようなプリチャージ回路、検査回路等の周辺回路を、データ線駆動回路101に加えて或いは代えて、外付けICとして外付けしてもよい。いずれにせよ、本実施形態では、駆動回路のいずれかの部分が、外付けICから構成される。

【0157】(画素部における構成)次に、本実施形態における電気光学装置の画素部における構成について、図17及び図18を参照して説明する。図17は、データ線、走査線、画素電極等が形成された電気光学装置の相隣接する複数の画素群の平面図であり、図18は、図17のA-A'断面図である。尚、図18においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0158】図17において、電気光学装置の基板10上には、マトリクス状に複数の透明な画素電極9a(点線部9a'により輪郭が示されている)が設けられており、画素電極9aの縦横の境界に各々沿ってデータ線6a、走査線3aが設けられている。

(16)

29

【0159】また、半導体層1aのうち図中右下がりの斜線領域で示したチャネル領域1a'に対向するように走査線3aが配置されており、走査線3aはゲート電極として機能する。このように、走査線3aとデータ線6aとの交差する個所には夫々、チャネル領域1a'に走査線3aがゲート電極として対向配置された画素スイッチング用のTFT30が設けられている。

【0160】本実施形態では、容量線300が、図中太線で示したように走査線3aの形成領域に重ねて形成されている。より具体的には容量線300は、走査線3aに沿って延びる本線部と、図17中、データ線6aと交差する各個所からデータ線6aに沿って上方に夫々突出した突出部と、コンタクトホールに対応する個所が僅かに括れた括れ部とを備えている。

【0161】図17及び図18に示すように、高濃度ドレイン領域1eには、画素電極9aが、コンタクトホール83及び85を介して中継接続用の導電層としても機能するドレイン電極302により中継接続されている。高濃度ソース領域1dには、データ線6aが、コンタクトホール81及び82を介して中継接続用の導電層としても機能するソース電極303により中継接続されている。

【0162】ドレイン電極302の一部からなる画素電位側容量電極上には、誘電体膜301を介して固定電位側容量電極を含む容量線300が形成されている。容量線300は、例えば、Al（アルミ）、Ag（銀）、Cu（銅）、Ti（チタン）、Cr（クロム）、W（タングステン）、Ta（タンタル）、Mo（モリブデン）、Pb（鉛）等の金属を含む、金属単体、合金、金属シリサイド、ポリサイド、これらを積層したもの等からなる。本実施形態では、このようにドレイン電極302の一部と、容量線300の一部とが誘電体膜301を介して対向配置されることにより、蓄積容量70が構築されている。

【0163】容量線300上には、ソース電極303とデータ線6aとを通じるコンタクトホール81及びドレイン電極302と画素電極9aとを通じるコンタクトホール85が各々形成された第2層間絶縁膜42が形成されている。第2層間絶縁膜42は、例えばシリケートガラス膜、窒化シリコン膜、酸化シリコン膜等から形成され、その膜厚は、例えば約500～2000nm程度とする。

【0164】第2層間絶縁膜42上には、データ線6aが形成されており、これらの上には更に、ドレイン電極302へのコンタクトホール85が形成された第3層間絶縁膜43が形成されている。係るデータ線6aは、例えば、スパッタリング、フォトリソグラフィ、エッチング等により、所定パターンを持つようにAl（アルミニウム）等の低抵抗金属膜から形成され、その膜厚は、配線幅に応じて必要な導電性が得られるように、例えば数

30

百nm程度とされる。他方、第3層間絶縁膜43は、例えばシリケートガラス膜、窒化シリコン膜、酸化シリコン膜等から形成され、その膜厚は、例えば約500～2000nm程度とする。

【0165】画素電極9aは、このように構成された第3層間絶縁膜7の上面に設けられている。画素電極9aは、例えばスパッタリング、フォトリソグラフィ、エッチング等により、ITO（Indium Tin Oxide）膜等の透明導電性膜から形成する。尚、後述の電気光学装置のように、ラビング処理を施された配向膜を形成してもよい。

【0166】データ線6aは、ソース電極303を中継することにより、コンタクトホール81及びコンタクトホール82を介して半導体層1aのうち高濃度ソース領域1dに電氣的に接続されている。他方、画素電極9aは、ソース電極303と同一膜からなるドレイン電極302を中継層として利用して中継することにより、コンタクトホール83及び85を介して半導体層1aのうち高濃度ドレイン領域1eに電氣的に接続されている。

【0167】このようにドレイン電極302を中継層として用いることにより、画素電極9aとTFT30を構成する半導体層1aとの間の層間距離が例えば1000nm程度に長くても、両者間を一つのコンタクトホールで接続する技術的困難性を回避しつつ比較的小径の二つの直列なコンタクトホール83及び84で両者間を良好に接続でき、画素開口率を高めること可能となる。特にこのような中継層を用いれば、コンタクトホール開孔時におけるエッチングの突き抜け防止にも役立つ。同様に、ソース電極303を用いることにより、データ線6aとTFT30を構成する半導体層1aとの間の層間距離が長くても、両者間を一つのコンタクトホールで接続する技術的困難性を回避しつつ比較的小径の二つの直列なコンタクトホール81及び82で両者間を良好に接続できる。

【0168】図17及び図18に示すように、ドレイン電極302と容量線300とが誘電体膜301を介して対向配置されることにより、平面的に見て走査線3aに重なる領域及びデータ線6aに重なる領域に、蓄積容量70が構築されている。

【0169】即ち、容量線300は、走査線3aを覆うように延びると共に、データ線6aの領域下で、ドレイン電極302を覆うように突き出す突出部を有し櫛歯状に形成している。ドレイン電極302は、走査線3aとデータ線6aの交差部から、一方がデータ線6aの領域下にある容量線300の突出部に沿って延び、他方が走査線3aの領域上にある容量線300に沿って隣接するデータ線6a近傍まで延びるL字状の島状容量電極を形成している。そして、誘電体膜301を介して容量線300にL字状のドレイン電極302が重なる領域で蓄積容量70が形成される。

(17)

31

【0170】蓄積容量70の一方の容量電極を含むドレイン電極302は、コンタクトホール85で画素電極9aと接続されており且つコンタクトホール83で高濃度ドレイン領域1eと接続されており、画素電極電位とされる。

【0171】蓄積容量70の他方の容量電極を含む容量線300は、画素電極9aが配置された画像表示領域からその周囲に延設され、定電位源と電氣的に接続されて、固定電位とされる。定電位源としては、TFT30を駆動するための走査信号を走査線3aに供給するための走査線駆動回路や画像信号をデータ線6aに供給するサンプリング回路を制御するデータ線駆動回路に供給される正電源や負電源の定電位源でも良いし、対向基板に供給される定電位でも構わない。

【0172】蓄積容量70の誘電体膜301は、例えば膜厚5~200nm程度の比較的薄いHTO膜（高温酸化膜）、LTO膜（低温酸化膜）等の酸化シリコン膜、あるいは窒化シリコン膜等から構成される。誘電体膜301は、ドレイン電極302の表面を酸化することによって得た熱酸化膜でもよい。蓄積容量70を増大させる観点からは、膜厚の信頼性が十分に得られる限りにおいて、誘電体膜301は薄い程良い。

【0173】図18に示すように、電気光学装置は、基板装置200A、200B又は200Cと、これに対向配置される透明な対向基板20とを備えている。対向基板20は、例えばガラス基板や石英基板からなる。基板10には、画素電極9aが設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜16が設けられている。また配向膜16は例えば、ポリイミド膜などの有機膜からなる。

【0174】他方、対向基板20には、その全面に渡って対向電極21が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜22が設けられている。対向電極21は例えば、ITO膜などの透明導電性膜からなる。また配向膜22は、ポリイミド膜などの有機膜からなる。

【0175】基板10には、各画素電極9aに隣接する位置に、各画素電極9aをスイッチング制御する画素スイッチング用のTFT30が設けられている。

【0176】対向基板20には、更に遮光膜を設けるようにしてもよい。このような構成を採ることで、対向基板20側から入射光がTFT30の半導体層1aのチャネル領域1a'や低濃度ソース領域1b及び低濃度ドレイン領域1cに侵入するのを抑制できる。更に、対向基板上の遮光膜は、入射光が照射される面を高反射な膜で形成することにより、電気光学装置の温度上昇を防ぐ働きをする。

【0177】尚、本実施形態では、A1膜等からなる遮光性のデータ線6aで、各画素の遮光領域のうちデータ線6aに沿った部分を遮光してもよいし、容量線300

32

を遮光性の膜で形成することによりチャネル領域1a'等を遮光することができる。

【0178】このように構成され、画素電極9aと対向電極21とが対面するように配置された基板10と対向基板20との間には、シール材により囲まれた空間に電気光学物質の一例である液晶が封入され、液晶層50が形成される。液晶層50は、画素電極9aからの電界が印加されていない状態で配向膜16及び22により所定の配向状態をとる。

【0179】以上説明した実施形態では、多数の導電層を積層することにより、データ線6aや走査線3aに沿った領域に段差が生じるが、第1層間絶縁膜41、第2層間絶縁膜42に溝を掘って、データ線6a等の配線やTFT30等を埋め込むことにより平坦化処理を行ってもよいし、第3層間絶縁膜43や第2層間絶縁膜42の上面の段差をCMP処理等で研磨することにより、或いは有機SOGを用いて平らに形成することにより、当該平坦化処理を行ってもよい。

【0180】更に以上説明した実施形態では、画素スイッチング用TFT30は、好ましくは図18に示したようにLDD構造を持つが、低濃度ソース領域1b及び低濃度ドレイン領域1cに不純物の打ち込みを行わないオフセット構造を持ってよいし、走査線3aの一部からなるゲート電極をマスクとして高濃度で不純物を打ち込み、自己整合的に高濃度ソース及びドレイン領域を形成するセルフアライン型のTFTであってもよい。また本実施形態では、画素スイッチング用TFT30のゲート電極を高濃度ソース領域1d及び高濃度ドレイン領域1e間に1個のみ配置したシングルゲート構造としたが、これらの間に2個以上のゲート電極を配置してもよい。このようにデュアルゲート或いはトリプルゲート以上でTFTを構成すれば、チャネルとソース及びドレイン領域との接合部のリーク電流を防止でき、オフ時の電流を低減することができる。そして、周辺回路を構成するTFTについても同様に各種のTFTとして構築可能である。

【0181】以上図14から図18を参照して説明した実施形態では、対向基板20の投射光が入射する側及び基板10の出射光が出射する側には各々、例えば、TN (Twisted Nematic) モード、VA (Vertically Aligned) モード、PDL C (Polymer Dispersed Liquid Crystal) モード等の動作モードや、ノーマリーホワイトモード/ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方向で配置される。

【0182】以上説明した実施形態における電気光学装置は、プロジェクタに適用されるため、3枚の電気光学装置がRGB用のライトバルブとして各々用いられ、各ライトバルブには各々RGB色分解用のマイクロリミラーを介して分解された各色の光が投射光として各々

入射されることになる。従って、各実施形態では、対向基板20に、カラーフィルタは設けられていない。しかしながら、対向基板に遮光膜の形成されていない画素電極9aに対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板20上に形成してもよい。このようにすれば、プロジェクタ以外の直視型や反射型のカラー電気光学装置について、各実施形態における電気光学装置を適用できる。また、対向基板20上に1画素1個対応するようにマイクロレンズを形成してもよい。あるいは、TFTアレイ基板10上のRGBに対向する画素電極9a下にカラーレジスト等でカラーフィルタ層を形成することも可能である。このようにすれば、入射光の集光効率を向上することで、明るい電気光学装置が実現できる。更には、対向基板20上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、RGB色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー電気光学装置が実現できる。

【0183】(電子機器)次に、以上詳細に説明した電気光学装置をライトバルブとして用いた電子機器の一例たる投射型カラー表示装置の実施形態について、その全体構成、特に光学的な構成について説明する。ここに図19は、投射型カラー表示装置の図式的断面図である。

【0184】図19において、本実施形態における投射型カラー表示装置の一例たる液晶プロジェクタ1100は、駆動回路がTFTアレイ基板上に搭載された液晶装置100を含む液晶モジュールを3個用意し、夫々RGB用のライトバルブ100R、100G及び100Bとして用いたプロジェクタとして構成されている。液晶プロジェクタ1100では、メタルハライドランプ等の白色光源のランプユニット1102から投射光が発せられると、3枚のミラー1106及び2枚のダイクロイックミラー1108によって、RGBの3原色に対応する光成分R、G、Bに分けられ、各色に対応するライトバルブ100R、100G及び100Bに夫々導かれる。この際特にB光は、長い光路による光損失を防ぐために、入射レンズ1122、リレーレンズ1123及び出射レンズ1124からなるリレーレンズ系1121を介して導かれる。そして、ライトバルブ100R、100G及び100Bにより夫々変調された3原色に対応する光成分は、ダイクロイックプリズム1112により再度合成された後、投射レンズ1114を介してスクリーン1120にカラー画像として投射される。

【0185】本発明は、上述した実施形態に限られるものではなく、請求の範囲及び明細書全体から読み取れる本発明の要旨、あるいは思想に反しない範囲で適宜変更可能であり、そのような変更を伴う基板装置、その検査方法、電気光学装置及びその製造方法、並びに電子機器もまた、本発明の技術的範囲に含まれるものである。

【図面の簡単な説明】

【図1】本発明の基板装置の第1実施形態における外付けIC付近の3次元的部分分解斜視図である。

【図2】本発明の基板装置の第1実施形態における外付けICを設置する領域付近における基板装置の部分平面図である。

【図3】比較例における外付けICを設置する領域付近の部分平面図である。

【図4】本発明の基板装置の一変形形態における外付けICを設置する領域付近の部分平面図である。

【図5】本発明の基板装置の他の変形形態における外付けICを設置する領域付近の部分平面図である。

【図6】本発明の基板装置の第2実施形態における外付けIC付近の3次元的部分分解斜視図である。

【図7】本発明の基板装置の第2実施形態における外付けICを設置する領域付近における基板装置の部分平面図である。

【図8】図7のC1-C1'断面図である。

【図9】図7のD-D'断面図における製造プロセスを示す工程図である。

【図10】変形形態における図7のC1-C1'断面図である。

【図11】本発明の基板装置の第3実施形態における外付けIC付近の3次元的部分分解斜視図である。

【図12】本発明の基板装置の第3実施形態における外付けIC付近を設置する領域付近における基板装置の部分平面図である。

【図13】図12のC2-C2'断面図である。

【図14】本発明の実施形態の電気光学装置におけるTFTアレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

【図15】図14のH-H'断面図である。

【図16】本発明の実施形態の電気光学装置における画像表示領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路である。

【図17】実施形態の電気光学装置におけるデータ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

【図18】図17のA-A'断面図である。

【図19】本発明の電子機器の実施形態である投射型カラー表示装置の一例たるカラー液晶プロジェクタを示す図式的断面図である。

【符号の説明】

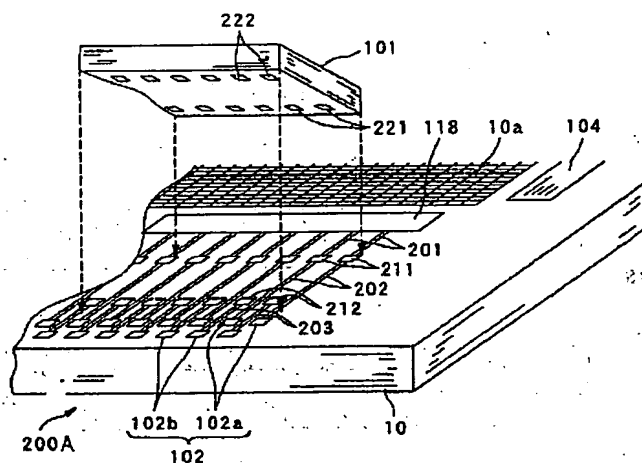
- 1a...半導体層
- 1a'...チャネル領域
- 1b...低濃度ソース領域
- 1c...低濃度ドレイン領域
- 1d...高濃度ソース領域
- 1e...高濃度ドレイン領域
- 2...絶縁膜

(19)

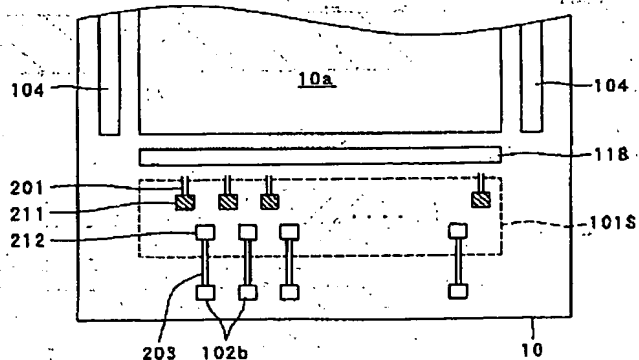
35

- 3 a ... 走査線
- 6 a ... データ線
- 9 a ... 画素電極
- 10 ... 基板
- 11 a ... 下側遮光膜
- 16 ... 配向膜
- 20 ... 対向基板
- 21 ... 対向電極
- 22 ... 配向膜
- 30 ... TFT
- 50 ... 液晶層
- 70 ... 蓄積容量

【図1】



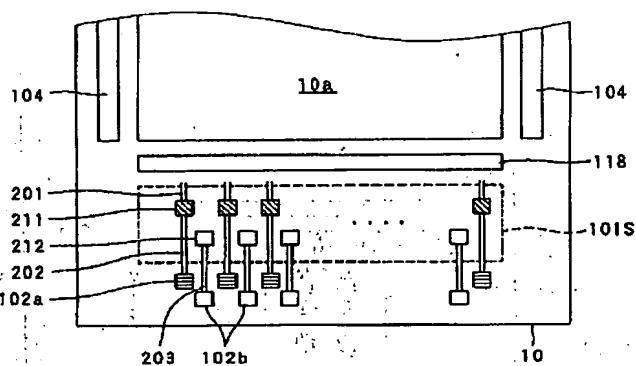
【図3】



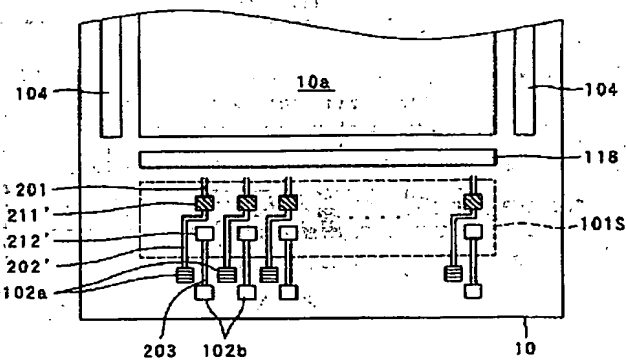
36

- 81、82、83、85 ... コンタクトホール
- 101 ... データ線駆動回路
- 101S ... データ線駆動回路を設置する領域
- 102 ... 外部回路接続端子
- 104 ... 走査線駆動回路
- 118 ... サンプリング回路
- 200A、200B、200C ... 基板装置
- 201、202、203 ... 配線
- 211、212 ... 接続パッド
- 221 ... 出力端子
- 222 ... 入力端子
- 230 ... パターン

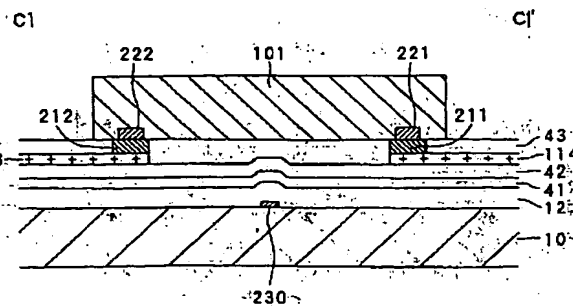
【図2】



【図4】

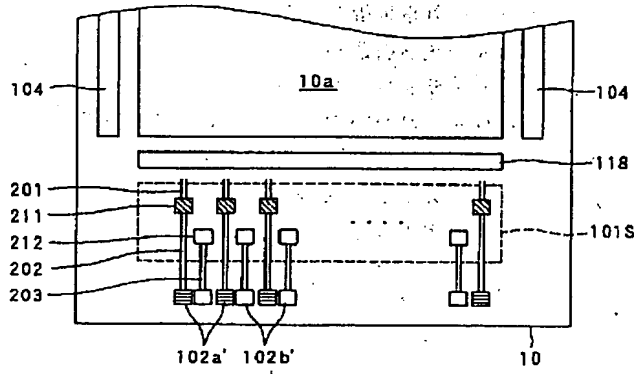


【図8】

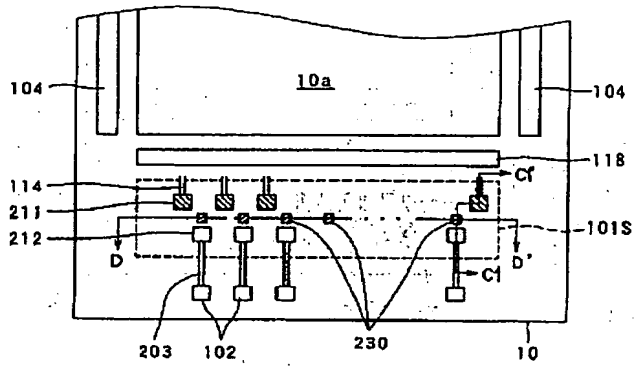


(20)

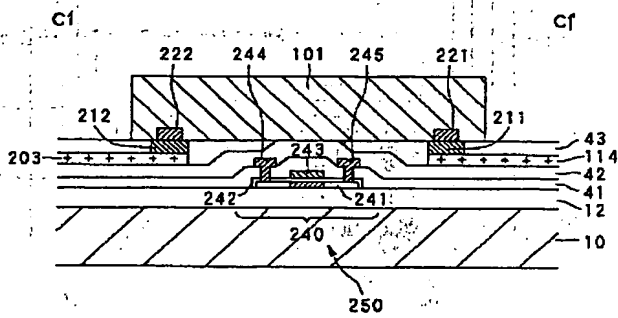
【図5】



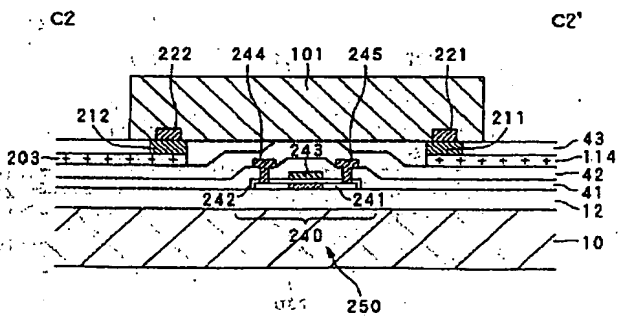
【図7】



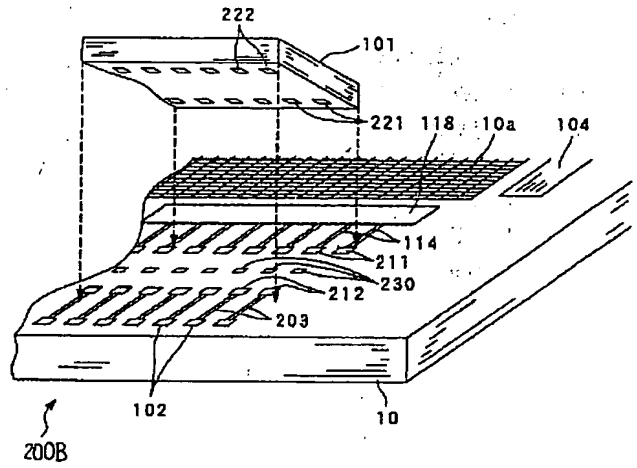
【図10】



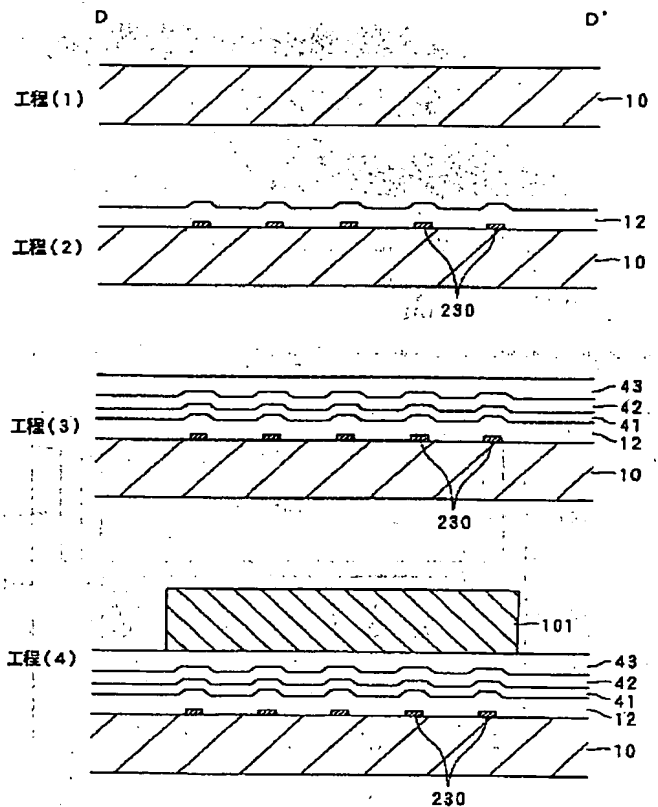
【図13】



【図6】

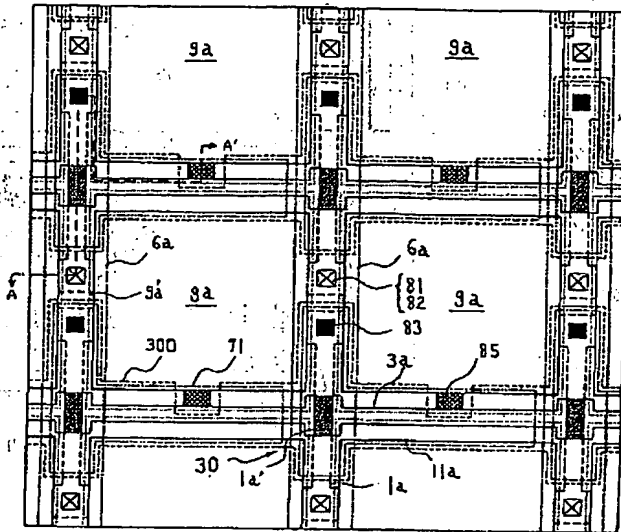


【図9】

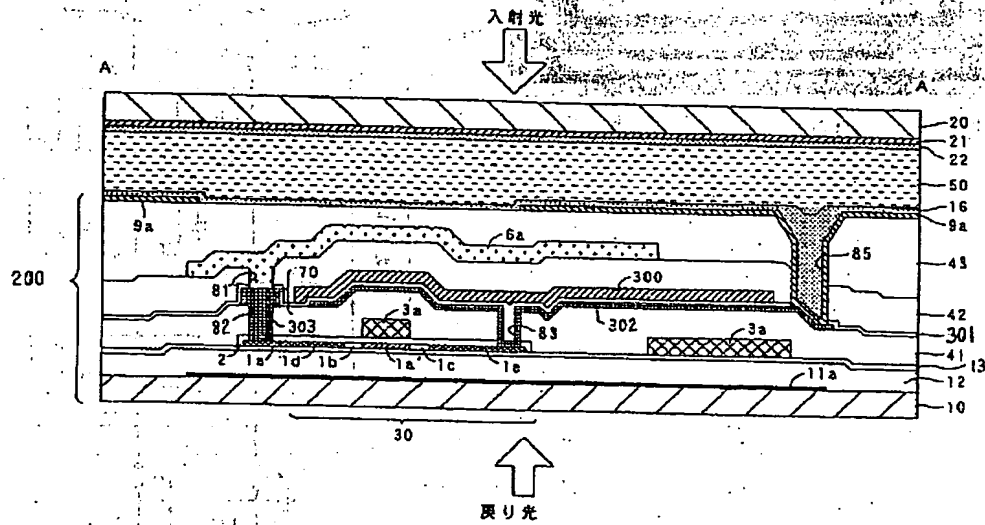


(22)

【図17】

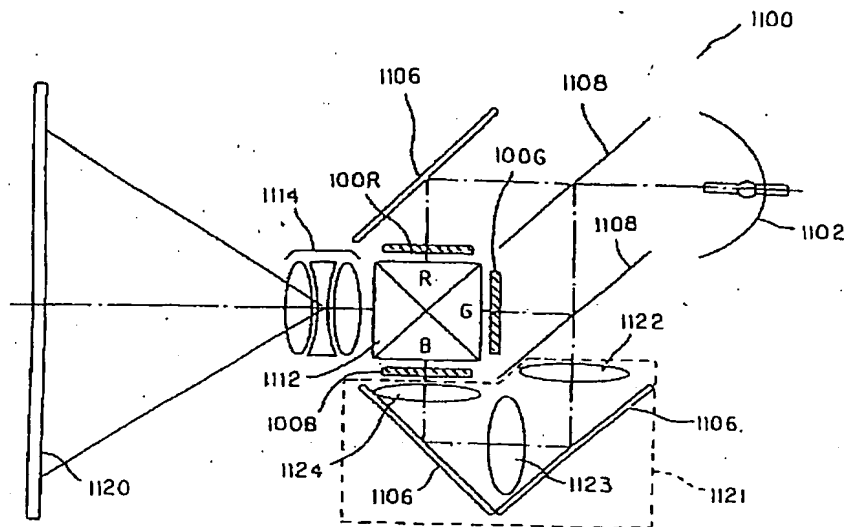


【図18】



(23)

【図19】



フロントページの続き

(72)発明者 小澤 徳郎
 長野県諏訪市大和3丁目3番5号 セイコ
 ーエプソン株式会社内

Fターム(参考) 2G132 AA20 AK02 AK03 AK07 AL12
 2H088 FA11 HA02 HA08 MA20
 2H092 GA41 GA44 GA59 GA60 JA24
 JB77 MA13 MA37 NA27 NA30
 PA06 RA05